

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

IFW

Patent

Customer No. 31561  
Application No.: 10/707,870  
Docket No. 12049-US-PA



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Tai-Ho Wang  
Application No. : 10/707,870  
Filed : January 20, 2004  
For : ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT  
Examiner :  
Art Unit : 2836

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092129873, filed on: 2003/10/28.

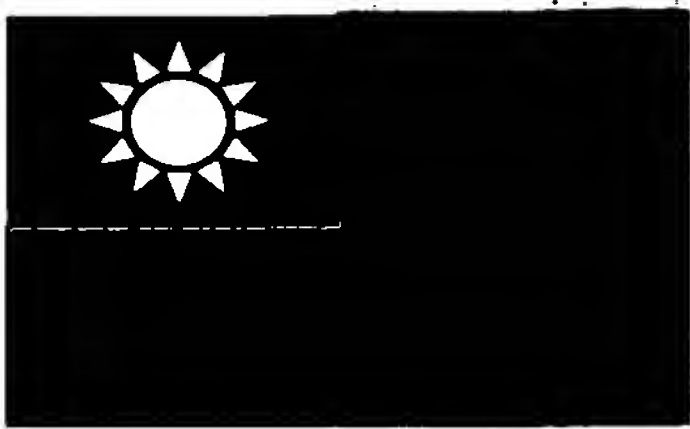
A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: May 17, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**  
**7F.-1, No. 100, Roosevelt Rd.,**  
**Sec. 2, Taipei 100, Taiwan, R.O.C.**  
**Tel: 886-2-2369 2800**  
**Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 28 日  
Application Date

申請案號：092129873  
Application No.

申請人：凌陽科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 2 月 13 日  
Issue Date

發文字號：09320135270  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	靜電放電保護裝置
	英文	ELECTROSTATIC DISCHARGE PROTECTION DEVICE
二、發明人 (共1人)	姓名 (中文)	1. 王泰和
	姓名 (英文)	1. WANG, TAI HO
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市高翠路162巷52弄5號
	住居所 (英文)	1. NO. 5, ALLEY 52, LANE 162, GAOCUEI RD., HSINCHU CITY 300, TAIWAN (R. O. C.)
三、申請人 (共1人)	名稱或姓名 (中文)	1. 凌陽科技股份有限公司
	名稱或姓名 (英文)	1. SUNPLUS TECHNOLOGY CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹縣科學園區創新一路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 19, INNOVATION ROAD 1, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 黃洲杰
代表人 (英文)	1. HUANG, CHOU CHYE	



四、中文發明摘要 (發明名稱：靜電放電保護裝置)

本發明揭露一種靜電放電保護裝置，包括：第一共同導線、第一二極體、第一P型電晶體以及第一N型電晶體。第一二極體之陰極耦接至第一共同導線，陽極則耦接至第一系統電壓。第一P型電晶體之第一源/汲極與閘極皆耦接至第一系統電壓，第二源/汲極則耦接至第一焊墊。第一N型電晶體之第一源/汲極耦接至第一共同導線，閘極耦接至第一接地電壓，第二源/汲極則耦接至第一焊墊。因此本發明能有效且即時地將靜電放電的脈衝電流自其中一焊墊導引至系統電源或其他焊墊，因而能夠保護內部電路不因電流過大而損毀 (damage)。

伍、(一)、本案代表圖為：第\_\_\_\_3\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

310、320：輸出/入單元

330a、330b：P型電晶體

六、英文發明摘要 (發明名稱：ELECTROSTATIC DISCHARGE PROTECTION DEVICE)

The present invention discloses an electrostatic discharge (ESD) protection device including a first common conducting wire, a first diode, a first P-type transistor and a first N-type transistor. A cathode of the first diode couple to the first common conducting wire, and an anode of the first diode couple to a first system voltage. A first source/drain of the first P-type





四、中文發明摘要 (發明名稱：靜電放電保護裝置)

340a、340b、360：N型電晶體

350a、350b：焊墊

370、372、380、382：二極體

六、英文發明摘要 (發明名稱：ELECTROSTATIC DISCHARGE PROTECTION DEVICE)

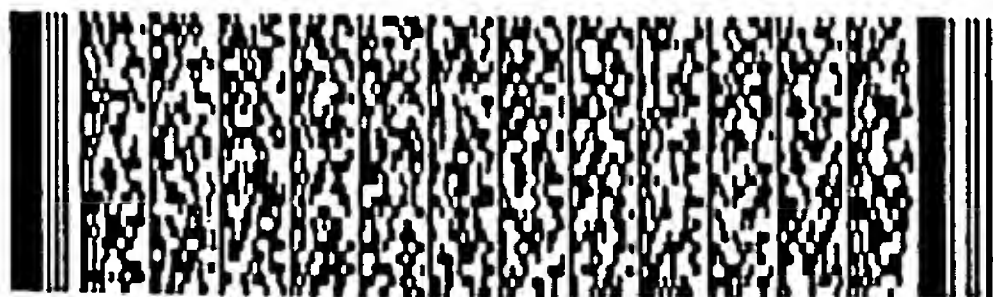
transistor couple to a gate of the first P-type transistor and the first system voltage, and a second source/drain of the first P-type transistor couple to a first pad. A first source/drain of the first N-type transistor couple to the first common conducting wire, a gate of the first N-type transistor couple to a first ground voltage, A second source/drain of the first N-type transistor



四、中文發明摘要 (發明名稱：靜電放電保護裝置)

六、英文發明摘要 (發明名稱：ELECTROSTATIC DISCHARGE PROTECTION DEVICE )

couple to the first pad. The present invention can effectively and immediately discharge the pulse current of ESD from one pad to system power or any pads, therefore prevent a internal circuit to be damaged because too much current.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。





## 五、發明說明 (1)

### 【發明所屬之技術領域】

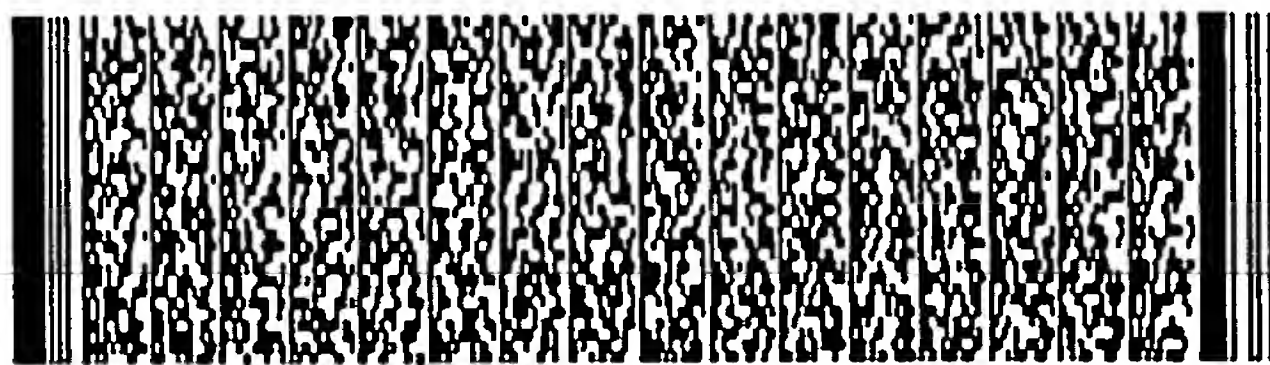
本發明是有關於一種電路的靜電放電保護裝置，且特別是有關於一種積體電路的靜電放電保護裝置。

### 【先前技術】

電子電路中(尤其在積體電路中)，常常可以見到金氧半場效電晶體(MOSFET，以下簡稱MOS)元件被應用在各種場合中，譬如記憶體裝置或邏輯電路。而互補式金氧半電晶體(complementary MOS，簡稱CMOS)元件更已經成為電腦工業應用上非常普遍的元件。在產品要求輕薄短小以及降低成本的今天，電路中的元件尺寸越來小，因此承受靜電放電(electrostatic discharge，ESD)衝擊的能力也就越來越重要。

靜電放電大致上可分為人體放電模式(Human-Body Model，HBM)、機械放電模式(Machine Model，MM)以及充電元件模式(Charge-Device Model，CDM)。電子電路於實際使用環境中皆免不了遭受靜電放電的衝擊，若無適當的保護措施將導致部分元件損毀(damage)。在實際上，靜電放電電壓較一般所提供的電源電壓大出甚多，當靜電放電發生時，此靜電放電電壓會將鄰近的MOS元件之閘極氧化矽層打穿造成半導體元件的損毀，所以如何防止靜電放電電壓到達MOS元件的閘極，是非常重要的。為避免前述情形，必須在電路中作一些靜電放電保護。

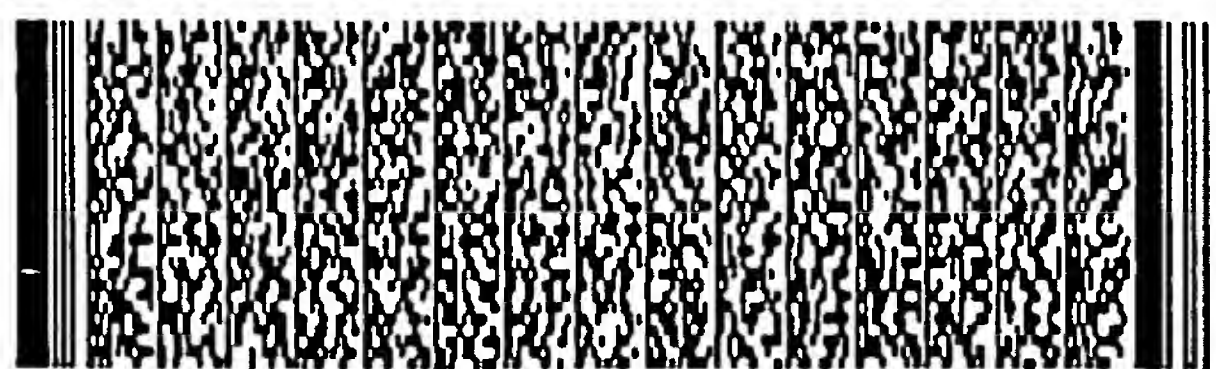
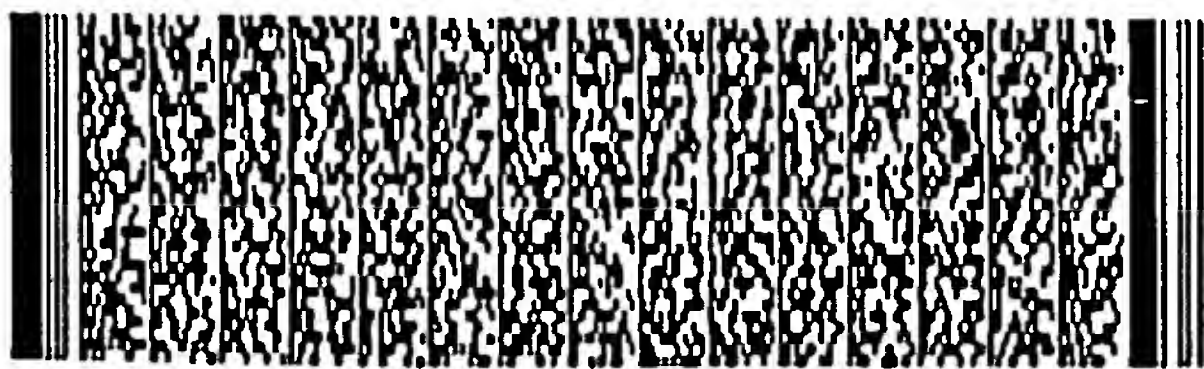
第1A圖是習知技術之靜電放電保護電路圖。請參照第1A圖，圖中內部電路110代表欲保護之電路，其電源由系



## 五、發明說明 (2)

統電壓VDD與接地電壓VSS供應。焊墊120代表內部電路110對外輸出/輸入訊號115之連接點，譬如為積體電路晶片周圍之I/O cell焊接點。基於靜電放電保護的考量，遂於焊墊120耦接一靜電放電保護電路，其目的是將自焊墊120突如其來之靜電脈衝電流導引至他處而避免直接衝擊內部電路110。於是利用二極體130導引因靜電放電所造成之正脈衝電流至系統電壓VDD導線，並以二極體140導引因靜電放電所造成之負脈衝電流至接地電壓VSS導線。此種以系統電壓VDD導線導引正脈衝靜電流之模式稱為PD模式(positive pulse VDD mode)，而以接地電壓VSS導線導引負脈衝靜電流之模式稱為NS模式(negative pulse VSS mode)。此習知技術雖可將正脈衝靜電流與負脈衝靜電流分別導引至系統電壓VDD與接地電壓VSS，然而於實際之應用中，常常因為負脈衝靜電流只能經由二極體140(或如第1B圖之N型MOS元件160及第1C圖之N型MOS元件180)導引至接地電壓VSS而造成晶片內部寄生之橫向NPN電晶體(Lateral NPN)損毀(damage)，使得燒毀內部電路110。

第1B圖是習知技術之另一靜電放電保護電路圖。請參照第1B圖，圖中內部電路110、焊墊120以及輸出/輸入訊號115與第1A圖相同。此種保護電路常應用於動態記憶體之輸出/輸入接點上，以二個N型MOS元件(簡稱NMOS)所構成。NMOS元件150之閘極耦接至接地電壓VSS，而其二個源/汲極分別耦接至系統電壓VDD與焊墊120。NMOS元件160之閘極亦耦接至接地電壓VSS，而二個源/汲極則分別耦接至

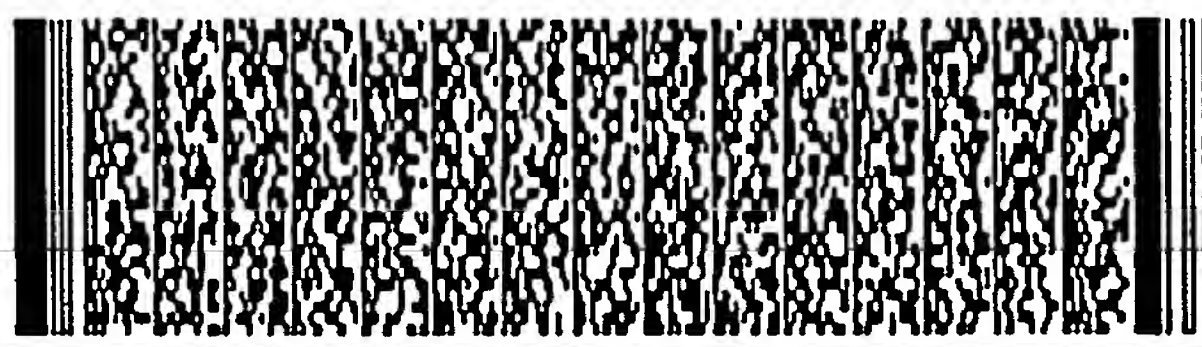
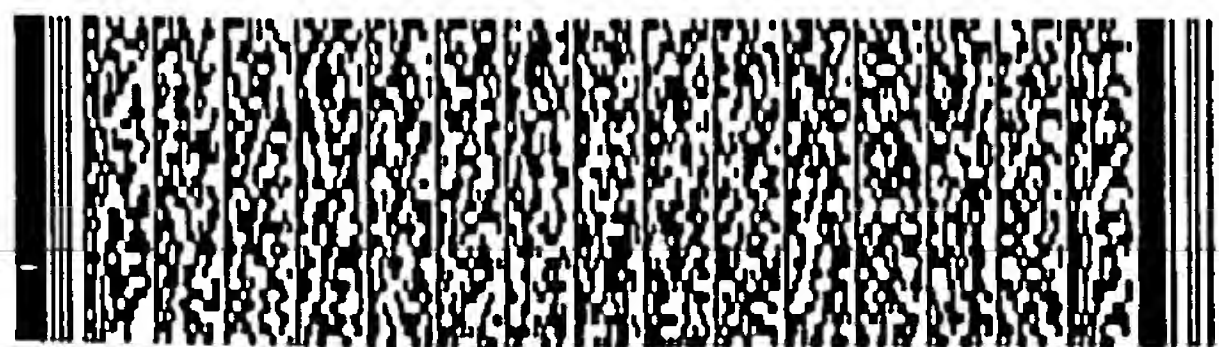


### 五、發明說明 (3)

焊墊120與接地電壓VSS。負脈衝靜電流因此可以透過系統電壓VDD導線與接地電壓VSS導線分散導引而避免直接衝擊內部電路110。此種以系統電壓VDD導引負脈衝靜電流之模式稱為ND模式(negative pulse VDD mode)。此習知技術雖同時利用系統電壓VDD導線與接地電壓VSS導線導引負脈衝靜電流，而比前述習知技術更能即時有效地避免負脈衝靜電流燒毀內部電路110，然而卻無法對正脈衝靜電流達到保護功能。

第1C圖是習知技術之又一靜電放電保護電路圖。請參照第1C圖，圖中內部電路110、焊墊120以及輸出/輸入訊號115與第1A圖相同。此種保護電路以NMOS元件以及P型MOS元件(簡稱PMOS)所構成。PMOS元件170之閘極與其中之一源/汲極皆耦接至系統電壓VDD，而其另一源/汲極則耦接至輸出/輸入訊號115。NMOS元件180的其中之一源/汲極耦接至輸出/輸入訊號115，而閘極與另一源/汲極則同時耦接至接地電壓VSS。利用PMOS元件170導引因靜電放電所造成之正脈衝電流至系統電壓VDD導線，並以NMOS元件180導引因靜電放電所造成之負脈衝電流至接地電壓VSS導線。此習知技術和第1A圖之缺點相似，會因負脈衝靜電流只能經由NMOS元件180導引至接地電壓VSS而造成晶片內部寄生之橫向NPN電晶體損毀，使得燒毀內部電路110。

第2圖是習知技術之多重電源靜電放電保護電路圖。請參照第2圖，圖中電路模組210代表習知之靜電放電保護電路與焊墊，其中與焊墊連接之內部電路與其導線皆未繪





#### 五、發明說明 (4)

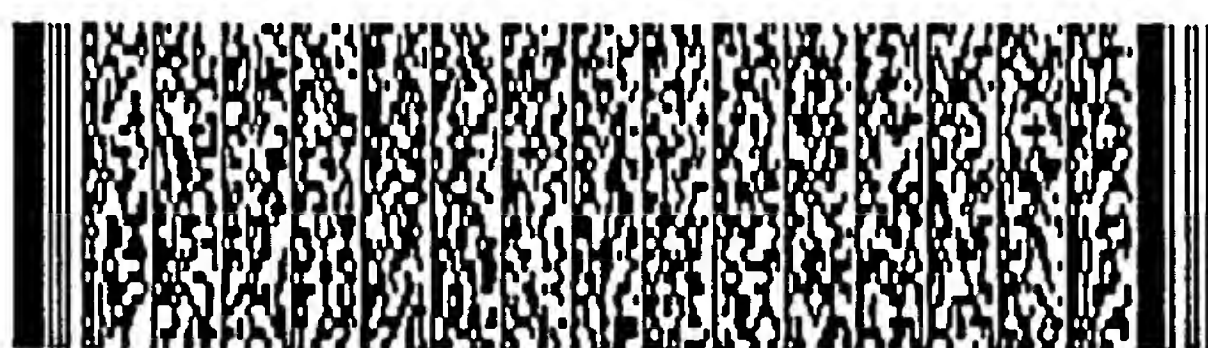
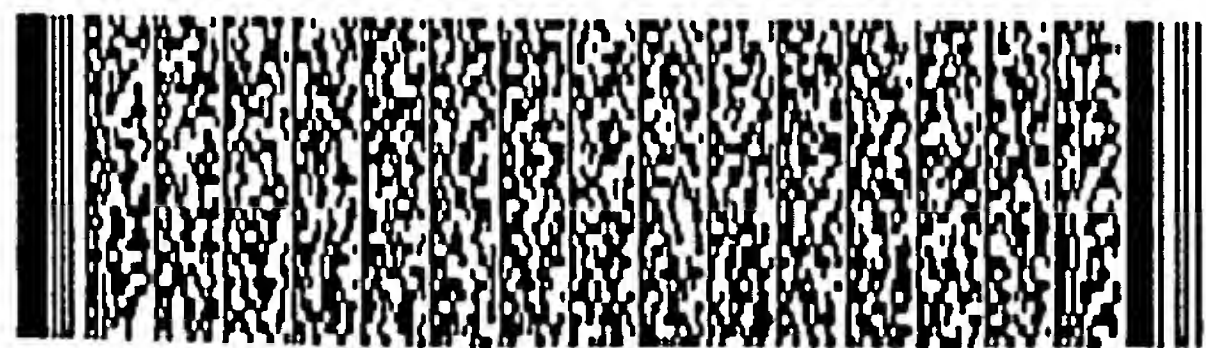
示於圖中。系統電壓VDD1以及系統電壓VDD2分別透過不同之靜電放電導接電路220耦接至共同導線VDD-common。而接地電壓VSS1以及接地電壓VSS2則各自透過不同之靜電放電導接電路220耦接至共同導線VSS-common。此習知多重電源靜電放電保護電路通常無法將靜電放電由焊墊導引至另一焊墊而釋放出去。另外此習知多重電源靜電放電保護電路中，每一組電源需要一個靜電放電鉗位電路(ESD clamp) 230以維持其電位差。

除前述各種習知之靜電放電保護裝置外，更有其他具複雜電路的靜電放電保護裝置，然而常因其保護電路與焊墊之距離太遠或靜電流沒有經過保護電路，而造成內部電路損毀。亦有將電阻與電容應用於保護電路中(如美國專利第5,721,656號)而形成龐大複雜的靜電放電保護裝置，此習知設計因需大量耗佔晶片面積而使得製作成本居高不下。

#### 【發明內容】

本發明的目的就是在提供一種靜電放電保護裝置，適用於多重電源之系統及任意輸出/輸入腳位之間靜電防護，將突如其來之靜電脈衝電流導引至他處以保護內部電路。本發明之靜電放電保護裝置可將靜電放電的脈衝電流自一焊墊導引至其他焊墊，而避免衝擊欲保護之內部電路。相較於習知技術，更可省略習知之靜電放電鉗位電路而更節省晶片面積。

本發明的再一目的是提供一種靜電放電保護裝置，除



## 五、發明說明 (5)

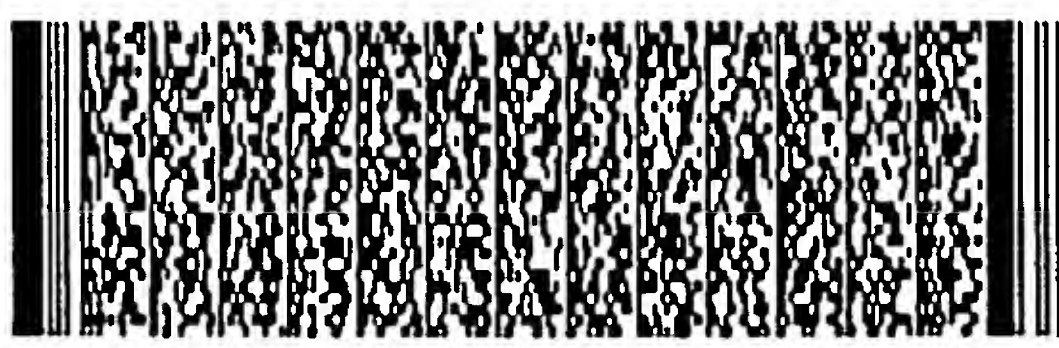
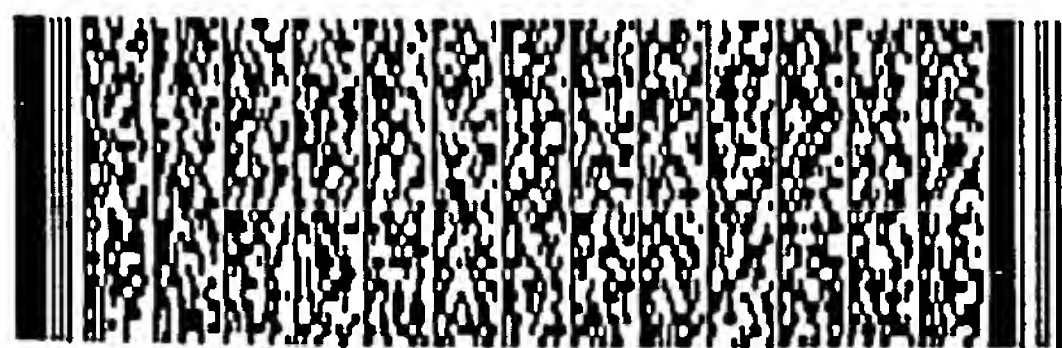
前述諸目的外，將本發明之靜電放電保護裝置更進一步修改，以節省晶片面積。

本發明的又一目的是提供一種靜電放電保護裝置，使本發明之靜電放電保護裝置亦可適用於單一電源之系統。

本發明提出一種靜電放電保護裝置，此靜電放電保護裝置係連接至一積體電路內之第一焊墊。積體電路具有多組系統電壓，這些系統電壓組之其中一組包括第一系統電壓與第一接地電壓。本靜電放電保護裝置包括：第一共同導線、第一二極體、第一P型電晶體以及第一N型電晶體。第一二極體之陰極耦接至第一共同導線，陽極則耦接至第一系統電壓。第一P型電晶體之第一源/汲極與閘極皆耦接至第一系統電壓，第二源/汲極則耦接至第一焊墊。第一N型電晶體之第一源/汲極耦接至第一共同導線，閘極耦接至第一接地電壓，第二源/汲極則耦接至第一焊墊。

依照本發明的較佳實施例所述靜電放電保護裝置，上述之靜電放電保護裝置更包括第二共同導線、第二N型電晶體、第二二極體以及第三二極體。第二N型電晶體之第一源/汲極耦接至第一焊墊，閘極與第二源/汲極則耦接至第一接地電壓。第二二極體之陽極耦接至第一接地電壓，陰極則耦接至第二共同導線。第三二極體之陽極耦接至第二共同導線，陰極則耦接至第一接地電壓。

由於本發明可以應用於多重電源之系統中，所以依照本發明的較佳實施例所述之靜電放電保護裝置更連接至積體電路內之第二焊墊。各系統電壓組中更有一組電源電壓



## 五、發明說明 (6)

包括第二系統電壓與第二接地電壓。本靜電放電保護裝置更包括第四二極體、第二P型電晶體、第三N型電晶體、第四N型電晶體、第五二極體以及第六二極體。第四二極體之陰極耦接至第一共同導線，陽極耦接至第二系統電壓。第二P型電晶體之第一源/汲極與閘極皆耦接至第二系統電壓，第二源/汲極耦接至第二焊墊。第三N型電晶體之第一源/汲極耦接至第一共同導線，閘極耦接至第二接地電壓，第二源/汲極耦接至第二焊墊。第四N型電晶體之第一源/汲極耦接至第二焊墊，閘極與第二源/汲極皆耦接至第二接地電壓。第五二極體之陽極耦接至第二接地電壓，陰極耦接至第二共同導線。第六二極體之陽極耦接至第二共同導線，陰極耦接至第二接地電壓。

本發明另提出一種靜電放電保護裝置，連接至一積體電路內之一第一焊墊，該積體電路具有多組系統電壓，這些系統電壓組其中一組中包括第一接地電壓。該靜電放電保護裝置包括：第一共同導線、第一二極體以及第一N型電晶體。第一二極體之陰極耦接至第一接地電壓，陽極耦接至第一共同導線。第一N型電晶體之第一源/汲極耦接至第一焊墊，閘極與基體極皆耦接至第一接地電壓，第二源/汲極耦接至第一共同導線。

依照本發明的較佳實施例所述靜電放電保護裝置，上述之該組系統電壓更包括第一系統電壓，該靜電放電保護裝置更包括：第二共同導線、第二二極體、第一P型電晶體以及第二N型電晶體。第二二極體之陰極耦接至第二共



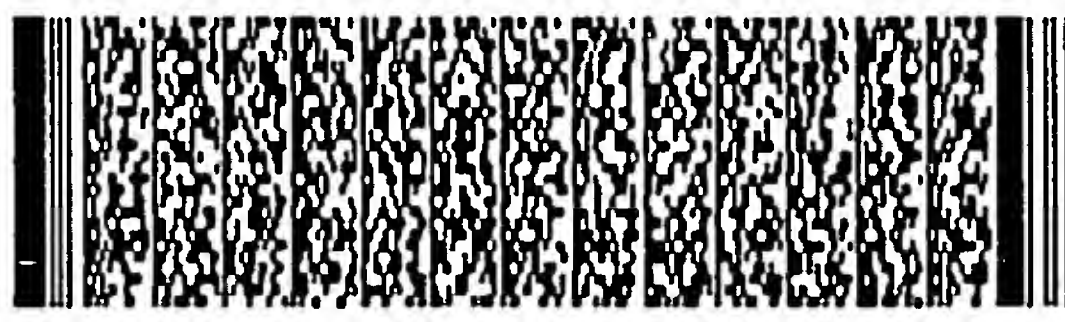
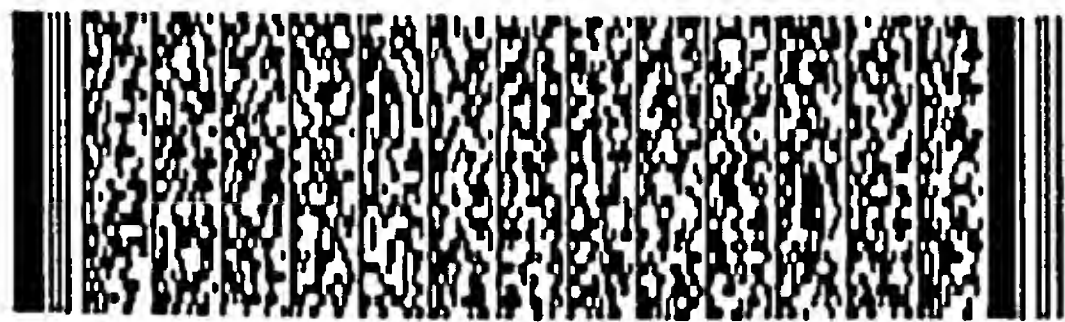


## 五、發明說明 (7)

同導線，陽極耦接至第一系統電壓。第一P型電晶體之第一源/汲極與閘極皆耦接至第一系統電壓，第二源/汲極耦接至第一焊墊。第二N型電晶體之第一源/汲極耦接至第二共同導線，第二N型電晶體之閘極耦接至第一接地電壓，第二源/汲極耦接至第一焊墊。

因為本發明可以應用於多重電源之系統中，所以依照本發明的較佳實施例所述，本靜電放電保護裝置更連接至積體電路內之第二焊墊。各系統電壓組中更有一組電源電壓包括第二系統電壓與第二接地電壓。此靜電放電保護裝置更包括：第三二極體、第三N型電晶體、第四二極體、第二P型電晶體以及第四N型電晶體。第三二極體之陰極耦接至第二接地電壓，陽極耦接至第一共同導線。第三N型電晶體之第一源/汲極耦接至第二焊墊，閘極與基體極皆耦接至第二接地電壓，第二源/汲極耦接至第一共同導線。第四二極體之陰極耦接至第二共同導線，陽極耦接至第二系統電壓。第二P型電晶體之第一源/汲極與閘極皆耦接至第二系統電壓，第二源/汲極耦接至第二焊墊。第四N型電晶體之第一源/汲極耦接至第二共同導線，閘極耦接至第二接地電壓，第二源/汲極則耦接至第二焊墊。

本發明再提出一種靜電放電保護裝置，連接於積體電路內之焊墊，此積體電路具有系統電壓與接地電壓。該靜電放電保護裝置包括：P型電晶體、第一N型電晶體以及第二N型電晶體。P型電晶體之第一源/汲極與閘極皆耦接至系統電壓，第二源/汲極則耦接至該焊墊。第一N型電晶體



## 五、發明說明 (8)

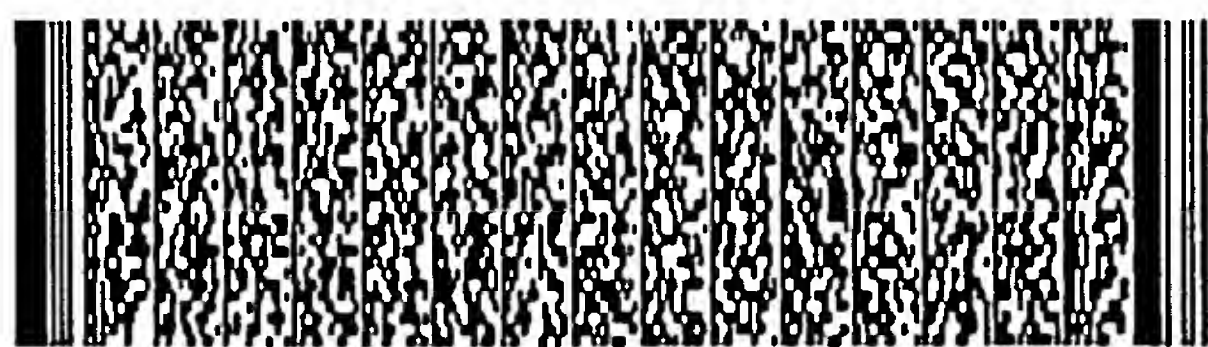
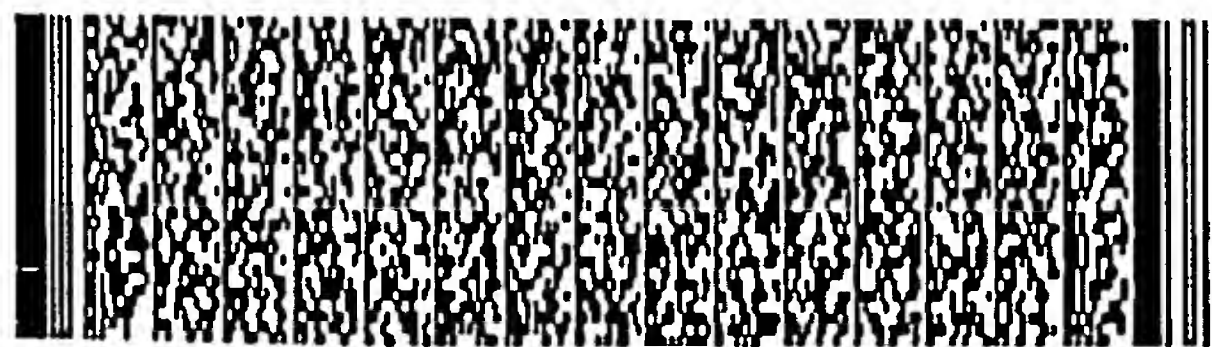
之第一源/汲極耦接至系統電壓，閘極耦接至接地電壓，第一N型電晶體之第二源/汲極則耦接至焊墊。第二N型電晶體之第一源/汲極耦接至焊墊，閘極與第二源/汲極皆耦接至接地電壓。

本發明因使用P型電晶體、N型電晶體並配合共同導線，因此能有效且即時地將靜電放電的脈衝電流自其中一焊墊導引至系統電源或其他焊墊，因而能夠保護內部電路不因電流過大而損毀 (damage)。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

第3圖是依照本發明一較佳實施例所繪示的一種靜電放電保護裝置電路圖。本實施例以具有多組電源電壓的積體電路為例說明本發明，請參照第3圖。圖中雖只顯示(VDD1, VSS1)與(VDD2, VSS2)二組電源電壓，然而熟悉此藝者均可輕易類推至更多組電源電壓，其結果亦符合本發明之內容。另外每組電源電壓只需配置三個二極體即可與共同導線連接。若以(VDD1, VSS1)這組電源電壓為例，則系統電壓VDD1透過二極體370與共同導線VDD-common相耦接，而接地電壓VSS1則透過二極體380、382與共同導線VSS-common相耦接。其中二極體370之陰極耦接至共同導線VDD-common，陽極則耦接至系統電壓VDD1。二極體380之陽極耦接至接地電壓VSS1，陰極則耦接至共同導線



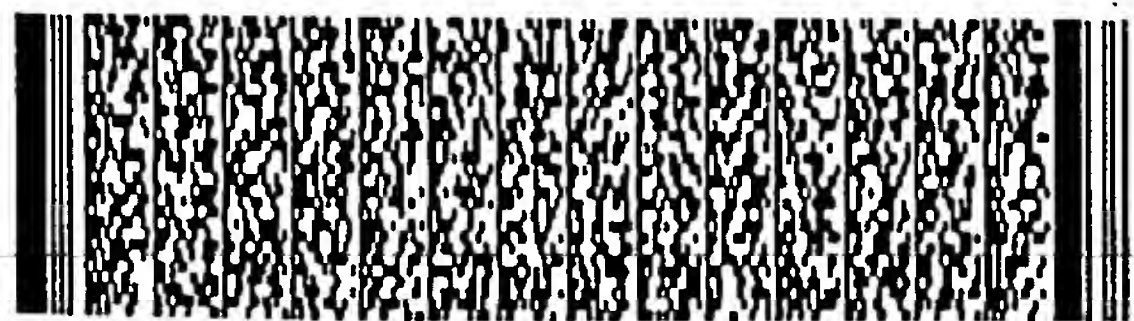
#### 五、發明說明 (9)

VSS-common。二極體382之陽極耦接至共同導線VSS-common，陰極則耦接至接地電壓VSS1。

於本實施例中，積體電路之每一焊墊即配置一組靜電放電保護裝置以避免衝擊內部電路(未繪示)造成損壞，此焊墊與對應之靜電放電保護裝置稱為輸出/入單元。圖中輸出/入單元310與輸出/入單元320表示分屬不同電源電壓組。以輸出/入單元310為例，每一組輸出/入單元包括：焊墊350a、P型電晶體330a、N型電晶體340a以及N型電晶體360。P型電晶體330a之第一源/汲極與閘極皆耦接至系統電壓VDD1，第二源/汲極則耦接至焊墊350a。N型電晶體340a之第一源/汲極耦接至共同導線VDD-common，閘極耦接至接地電壓VSS1，第二源/汲極則耦接至焊墊350a。N型電晶體360之第一源/汲極耦接至焊墊350a，閘極與第二源/汲極則耦接至接地電壓VSS1。

假設有一正脈衝靜電流自焊墊350a進入，P型電晶體330a切換成導通狀態。此正脈衝靜電流則自焊墊350a經由P型電晶體330a、二極體370而導接至共同導線VDD-common，然後由其他焊墊將正脈衝靜電流導引出去。例如輸出/入單元320透過N型電晶體340b將共同導線VDD-common中之正脈衝靜電流引接至焊墊350b而導出積體電路外。

反之，若有一負脈衝靜電流自焊墊350a進入，則N型電晶體340a切換成導通狀態。此負脈衝靜電流自焊墊350a經由N型電晶體340a導接至共同導線VDD-common，然後由





## 五、發明說明 (10)

其他焊墊將此負脈衝靜電流導引出去。例如輸出/入單元320透過二極體372、P型電晶體330b將共同導線

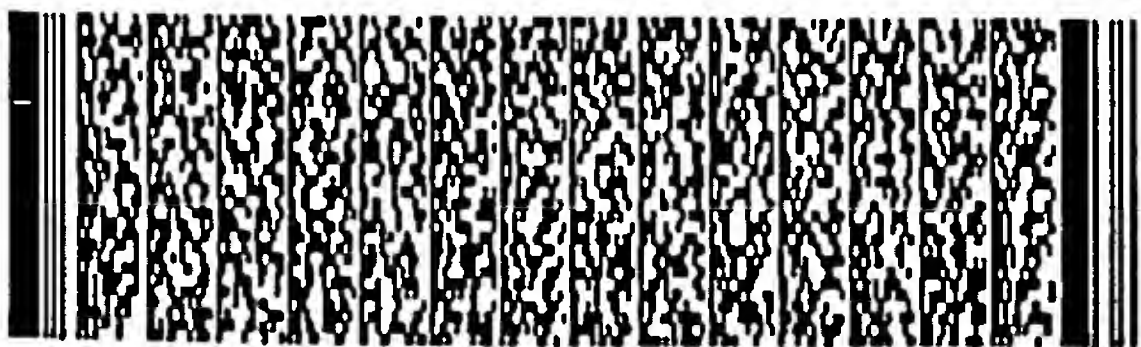
VDD-common中之負脈衝靜電流引接至焊墊350b而導出積體電路外。

本實施例亦可將靜電放電之脈衝電流導引至其他電源電壓。若進入焊墊350a之靜電放電脈衝電流屬正脈衝形式，則將此正脈衝靜電流自焊墊350a接引至焊墊350b(傳導路徑如前所述)後，再經由P型電晶體330b將正脈衝靜電流引接至系統電壓VDD2而導出積體電路外。若進入焊墊350a之靜電放電脈衝電流屬負脈衝形式，則將此負脈衝靜電流自焊墊350a經由N型電晶體340a、共同導線

VDD-common、二極體372而接引至系統電壓VDD2。另外，此負脈衝靜電流更可經由N型電晶體340a、共同導線

VDD-common、二極體370而接引至焊墊350a本身所屬之系統電壓VDD1。

依照本發明之靜電放電保護裝置，再此另舉一較佳實施例以說明本發明。第4圖是依照本發明一較佳實施例所繪示另一種靜電放電保護裝置電路圖。本實施例亦如前實施例，以具有多組電源電壓的積體電路為例說明本發明，請參照第4圖。圖中雖只顯示(VDD1, VSS1)與(VDD2, VSS2)二組電源電壓，然而熟悉此藝者均可輕易類推至更多組電源電壓，其結果亦符合本發明之內容。另外每組電源電壓更只需配置二個二極體即可與共同導線連接。若以(VDD1, VSS1)這組電源電壓為例，則系統電壓VDD1透過二

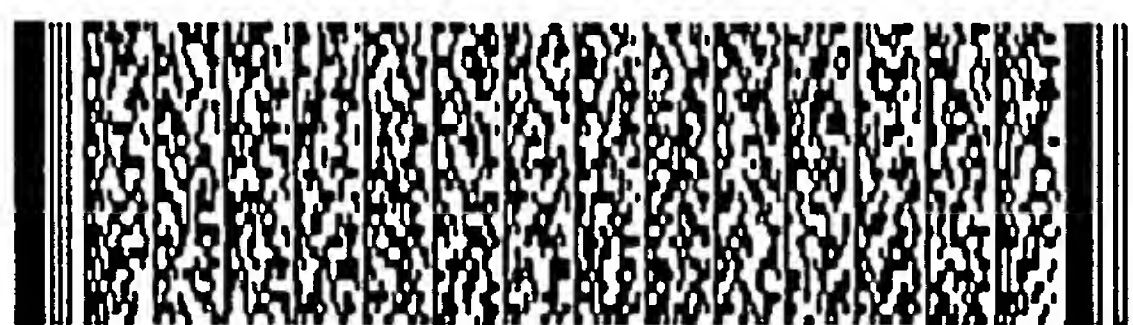
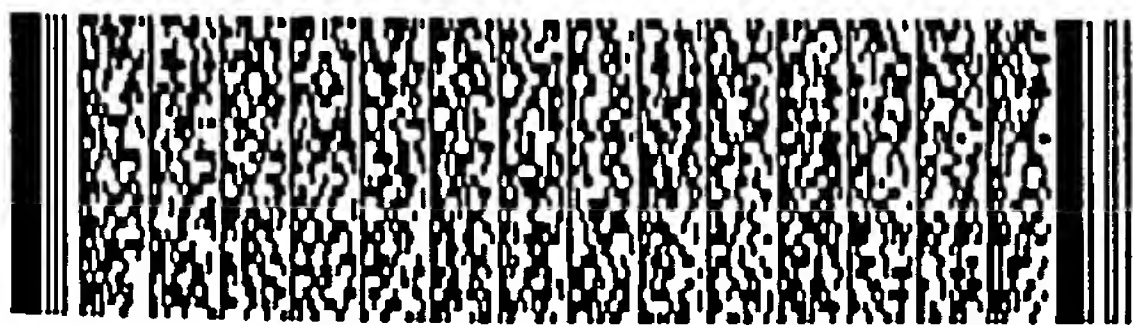


#### 五、發明說明 (11)

極體470與共同導線VDD-common相耦接，而接地電壓VSS1則透過二極體480與共同導線VSS-common相耦接。其中二極體470之陰極耦接至共同導線VDD-common，陽極則耦接至系統電壓VDD1。二極體480之陰極耦接至接地電壓VSS1，陽極則耦接至共同導線VSS-common。

於本實施例中，積體電路之每一焊墊配置一組靜電放電保護裝置以避免衝擊內部電路(未繪示)造成損壞，此焊墊與對應之靜電放電保護裝置稱為輸出/入單元。圖中輸出/入單元410與輸出/入單元420表示分屬不同電源電壓組。以輸出/入單元410為例，每一組輸出/入單元包括：焊墊450、P型電晶體430、N型電晶體440以及N型電晶體460。P型電晶體430之第一源/汲極與閘極皆耦接至系統電壓VDD1，第二源/汲極則耦接至焊墊450。N型電晶體440之第一源/汲極耦接至共同導線VDD-common，閘極耦接至接地電壓VSS1，第二源/汲極則耦接至焊墊450。N型電晶體460之第一源/汲極耦接至焊墊450，閘極與基體極耦接至接地電壓VSS1，第二源/汲極則耦接至共同導線VSS-common。

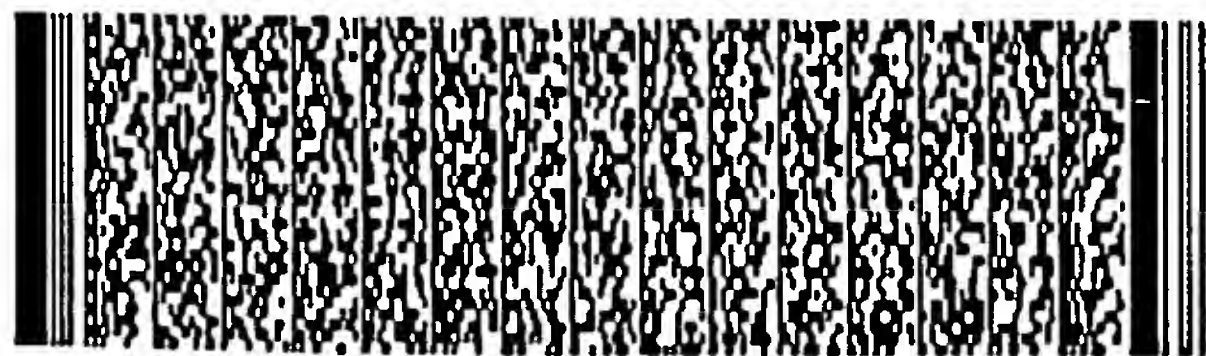
本發明亦可應用於單一電源電壓之積體電路中，再此再舉一較佳實施例以說明之。第5圖是依照本發明之一較佳實施例所繪製之一種單一電源的靜電放電保護裝置電路圖。於本實施例中，積體電路之每一焊墊配置一組靜電放電保護裝置以避免衝擊內部電路(未繪示)造成損壞，此焊墊與對應之靜電放電保護裝置稱為輸出/入單元。請參照



#### 五、發明說明 (12)

第5圖，每一輸出/入單元510包括：焊墊540、P型電晶體520、N型電晶體530以及N型電晶體550。N型電晶體550之第一源/汲極耦接至焊墊540，閘極與第二源/汲極則耦接至接地電壓VSS。N型電晶體530之第一源/汲極耦接至系統電壓VDD，閘極耦接至接地電壓VSS，第二源/汲極則耦接至焊墊540。P型電晶體520之第一源/汲極與閘極皆耦接至系統電壓VDD，第二源/汲極則耦接至焊墊540。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。





## 圖式簡單說明

第1A圖是習知技術之靜電放電保護電路圖。

第1B圖是習知技術之另一靜電放電保護電路圖。

第1C圖是習知技術之又一靜電放電保護電路圖。

第2圖是習知技術之多重電源靜電放電保護電路圖。

第3圖是依照本發明一較佳實施例所繪示的一種靜電放電保護裝置電路圖。

第4圖是依照本發明一較佳實施例所繪示另一種靜電放電保護裝置電路圖。

第5圖是依照本發明之一較佳實施例所繪製之一種單一電源的靜電放電保護裝置電路圖。

### 【圖式標示說明】

110：內部電路

115：對外輸出/輸入訊號

120、350a、350b、450、540：焊墊

130、140、370、372、380、382、470、480：二極體

150、160、180、340a、340b、360、440、460、

530、550：N型電晶體

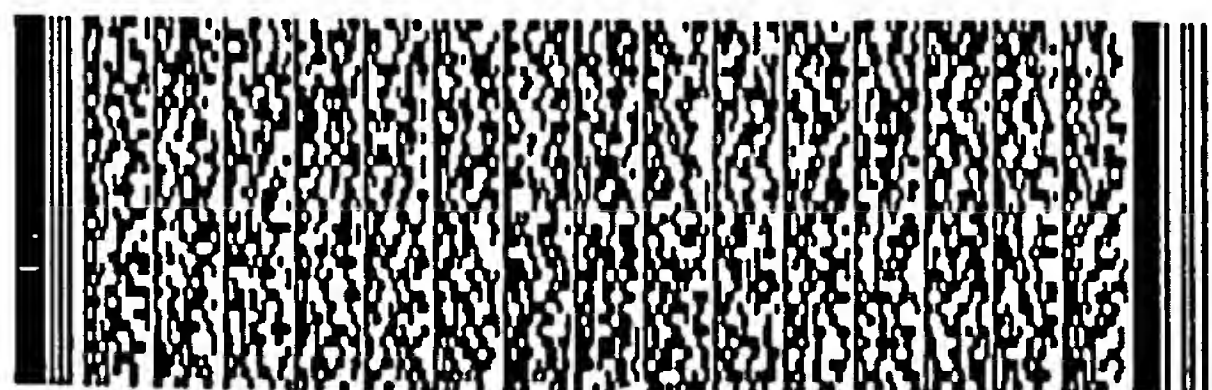
170、330a、330b、430、520：P型電晶體

210：習知之輸出/入單元

220：靜電放電導接電路

230：靜電放電鉗位電路

310、320、410、420、510：輸出/入單元



## 六、申請專利範圍

1. 一種靜電放電保護裝置，連接至一積體電路內之一第一焊墊，該積體電路具有多數組系統電壓，該些組系統電壓包括一第一系統電壓與一第一接地電壓，該靜電放電保護裝置包括：

一第一共同導線；

一第一二極體，該第一二極體之一陰極耦接至該第一共同導線，該第一二極體之一陽極耦接至該第一系統電壓；

一第一P型電晶體，該第一P型電晶體之一第一源/汲極與一閘極皆耦接至該第一系統電壓，該第一P型電晶體之一第二源/汲極耦接至該第一焊墊；以及

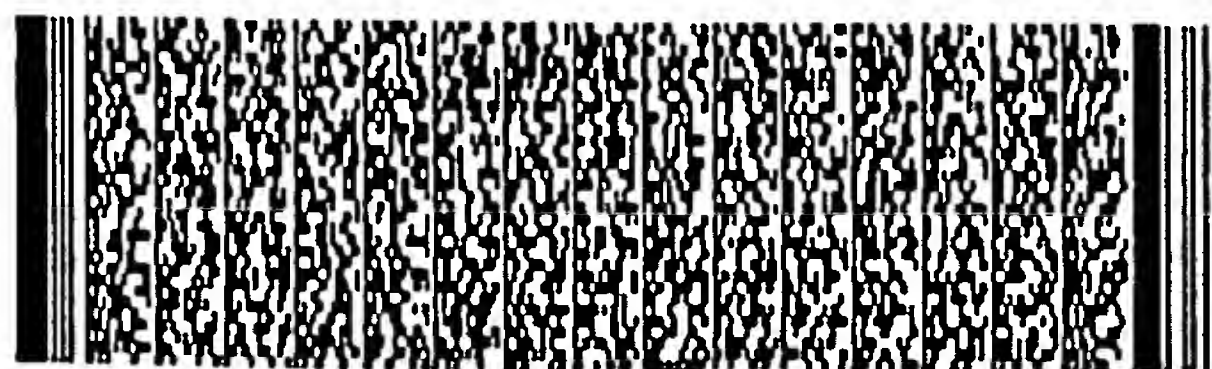
一第一N型電晶體，該第一N型電晶體之一第一源/汲極耦接至該第一共同導線，該第一N型電晶體之一閘極耦接至該第一接地電壓，該第一N型電晶體之一第二源/汲極耦接至該第一焊墊。

2. 如申請專利範圍第1項所述之靜電放電保護裝置，其中更包括一第二N型電晶體，該第二N型電晶體之一第一源/汲極耦接至該第一焊墊，該第二N型電晶體之一閘極與一第二源/汲極皆耦接至該第一接地電壓。

3. 如申請專利範圍第2項所述之靜電放電保護裝置，其中更包括：

一第二共同導線；

一第二二極體，該第二二極體之一陽極耦接至該第一接地電壓，該第二二極體之一陰極耦接至該第二共同導



## 六、申請專利範圍

線；以及

一第三二極體，該第三二極體之一陽極耦接至該第二共同導線，該第三二極體之一陰極耦接至該第一接地電壓。

4. 如申請專利範圍第1項所述之靜電放電保護裝置，更連接至該積體電路內之一第二焊墊，該些組系統電壓更包括一第二系統電壓與一第二接地電壓，該靜電放電保護裝置更包括：

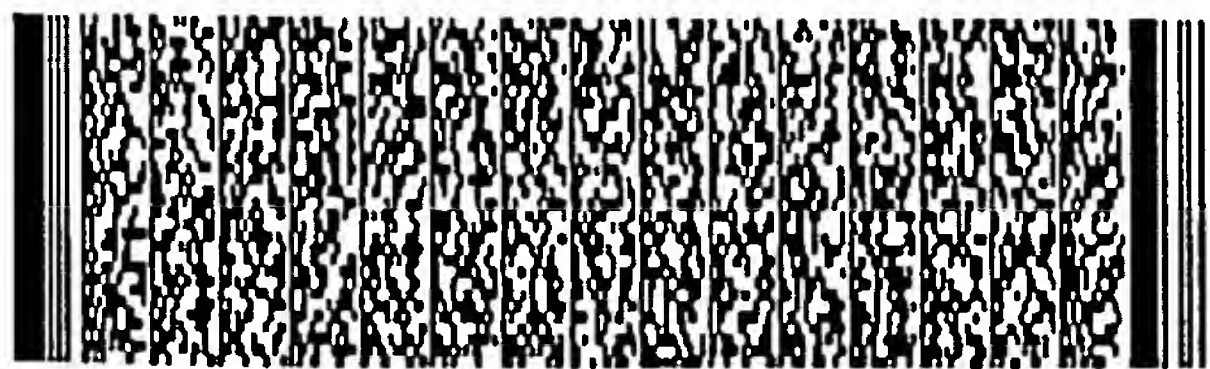
一第四二極體，該第四二極體之一陰極耦接至該第一共同導線，該第四二極體之一陽極耦接至該第二系統電壓；

一第二P型電晶體，該第二P型電晶體之一第一源/汲極與一閘極皆耦接至該第二系統電壓，該第二P型電晶體之一第二源/汲極耦接至該第二焊墊；以及

一第三N型電晶體，該第三N型電晶體之一第一源/汲極耦接至該第一共同導線，該第三N型電晶體之一閘極耦接至該第二接地電壓，該第三N型電晶體之一第二源/汲極耦接至該第二焊墊。

5. 如申請專利範圍第4項所述之靜電放電保護裝置，其中更包括一第四N型電晶體，該第四N型電晶體之一第一源/汲極耦接至該第二焊墊，該第四N型電晶體之一閘極與一第二源/汲極皆耦接至該第二接地電壓。

6. 如申請專利範圍第5項所述之靜電放電保護裝置，其中更包括：



## 六、申請專利範圍

一 第二共同導線；

一 第五二極體，該第五二極體之一陽極耦接至該第二接地電壓，該第五二極體之一陰極耦接至該第二共同導線；以及

一 第六二極體，該第六二極體之一陽極耦接至該第二共同導線，該第六二極體之一陰極耦接至該第二接地電壓。

7. 一種靜電放電保護裝置，連接至一積體電路內之一第一焊墊，該積體電路具有多數組系統電壓，該些組系統電壓包括一第一接地電壓，該靜電放電保護裝置包括：

一 第一共同導線；

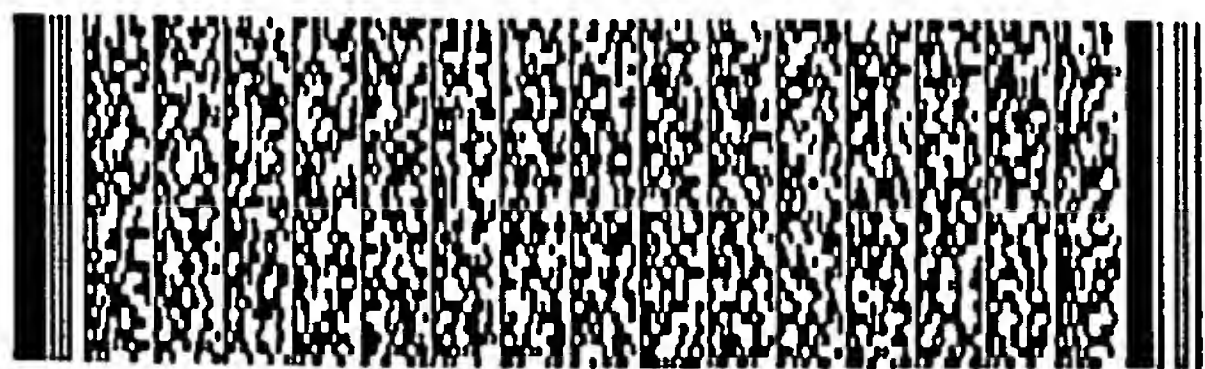
一 第一二極體，該第一二極體之一陰極耦接至該第一接地電壓，該第一二極體之一陽極耦接至該第一共同導線；以及

一 第一N型電晶體，該第一N型電晶體之一第一源/汲極耦接至該第一焊墊，該第一N型電晶體之一閘極與一基體極皆耦接至該第一接地電壓，該第一N型電晶體之一第二源/汲極耦接至該第一共同導線。

8. 如申請專利範圍第7項所述之靜電放電保護裝置，其中該些組系統電壓更包括一第一系統電壓，該靜電放電保護裝置更包括：

一 第二共同導線；

一 第二二極體，該第二二極體之一陰極耦接至該第二共同導線，該第二二極體之一陽極耦接至該第一系統電





## 六、申請專利範圍

壓；

一第一P型電晶體，該第一P型電晶體之一第一源/汲極與一閘極皆耦接至該第一系統電壓，該第一P型電晶體之一第二源/汲極耦接至該第一焊墊；以及

一第二N型電晶體，該第二N型電晶體之一第一源/汲極耦接至該第二共同導線，該第二N型電晶體之一閘極耦接至該第一接地電壓，該第二N型電晶體之一第二源/汲極耦接至該第一焊墊。

9. 如申請專利範圍第7項所述之靜電放電保護裝置，更連接至一積體電路內之一第二焊墊，該些組系統電壓更包括一第二接地電壓，該靜電放電保護裝置更包括：

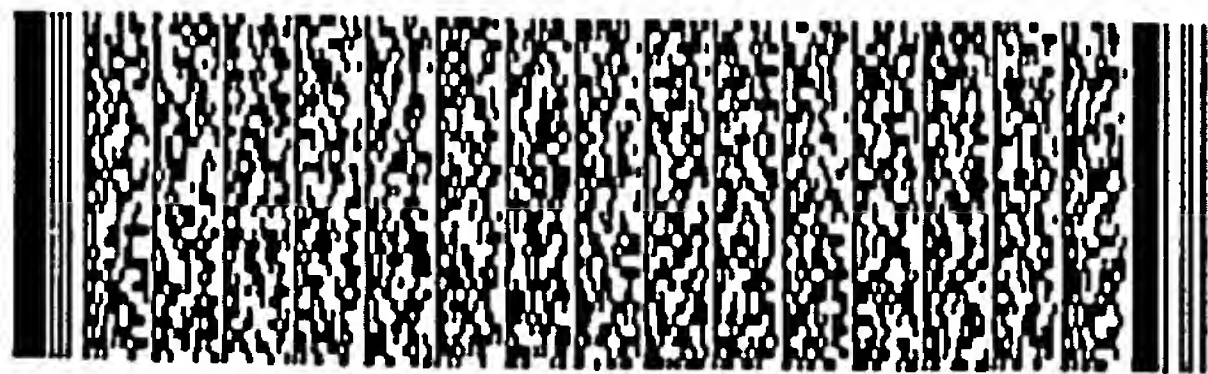
一第三二極體，該第三二極體之一陰極耦接至該第二接地電壓，該第三二極體之一陽極耦接至該第一共同導線；以及

一第三N型電晶體，該第三N型電晶體之一第一源/汲極耦接至該第二焊墊，該第三N型電晶體之一閘極與一基體極皆耦接至該第二接地電壓，該第三N型電晶體之一第二源/汲極耦接至該第一共同導線。

10. 如申請專利範圍第9項所述之靜電放電保護裝置，其中該些組系統電壓更包括一第二系統電壓，該靜電放電保護裝置更包括：

一第二共同導線；

一第四二極體，該第四二極體之一陰極耦接至該第二共同導線，該第四二極體之一陽極耦接至該第二系統電



## 六、申請專利範圍

壓；

一 第二P型電晶體，該第二P型電晶體之一第一源/汲極與一閘極皆耦接至該第二系統電壓，該第二P型電晶體之一第二源/汲極耦接至該第二焊墊；以及

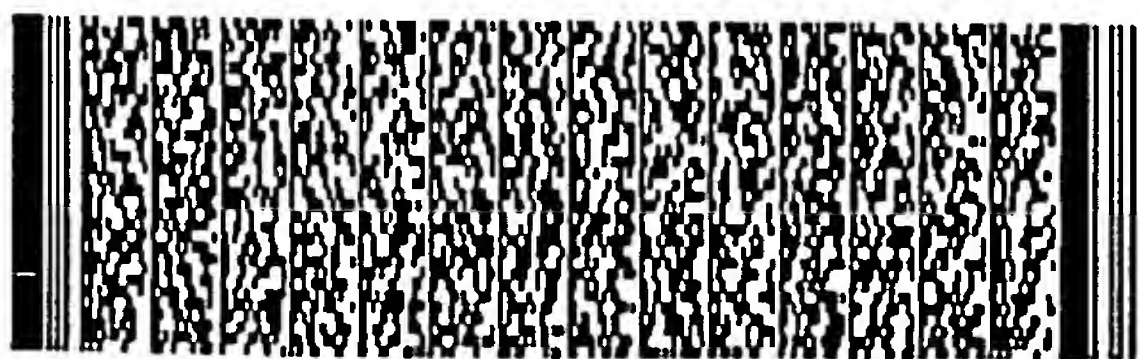
一 第四N型電晶體，該第四N型電晶體之一第一源/汲極耦接至該第二共同導線，該第四N型電晶體之一閘極耦接至該第二接地電壓，該第四N型電晶體之一第二源/汲極耦接至該第二焊墊。

11. 一種靜電放電保護裝置，連接於一積體電路內之一焊墊，該積體電路具有一系統電壓與一接地電壓，該靜電放電保護裝置包括：

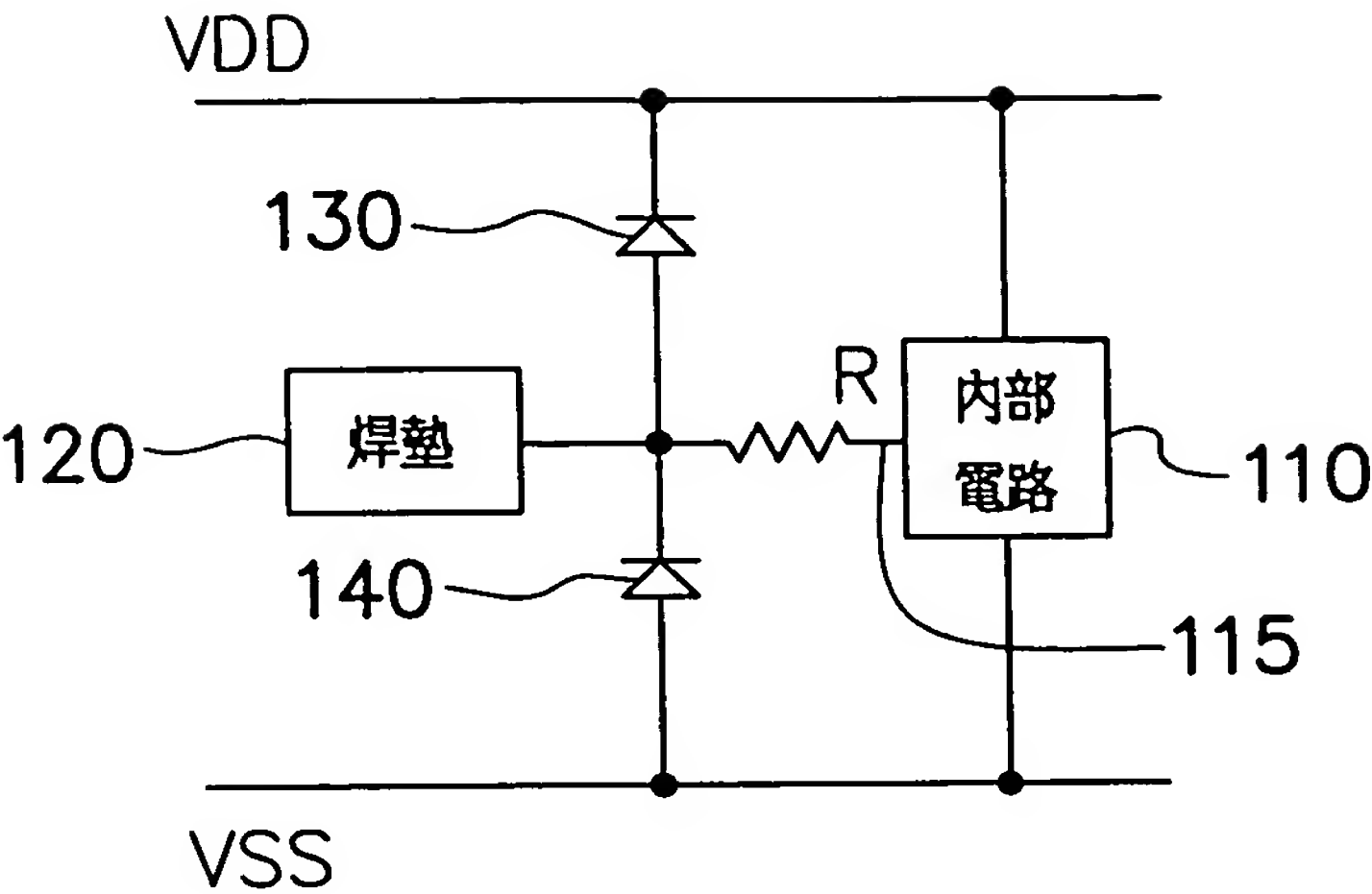
一P型電晶體，該P型電晶體之一第一源/汲極與一閘極皆耦接至該系統電壓，該P型電晶體之一第二源/汲極耦接至該焊墊；

一 第一N型電晶體，該第一N型電晶體之一第一源/汲極耦接至該系統電壓，該第一N型電晶體之一閘極耦接至該接地電壓，該第一N型電晶體之一第二源/汲極耦接至該焊墊；以及

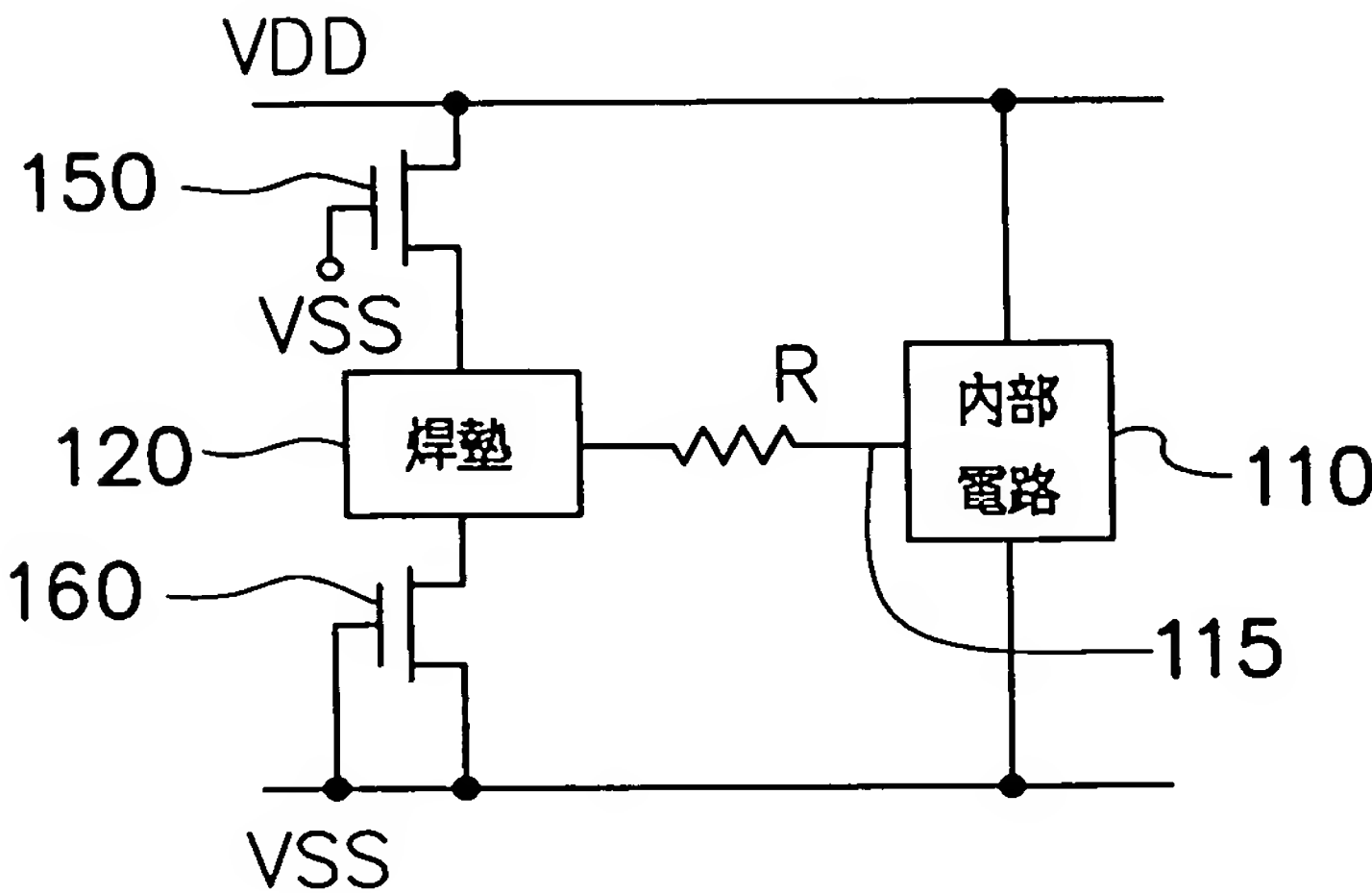
一 第二N型電晶體，該第二N型電晶體之一第一源/汲極耦接至該焊墊，該第二N型電晶體之一閘極與一第二源/汲極皆耦接至該接地電壓。



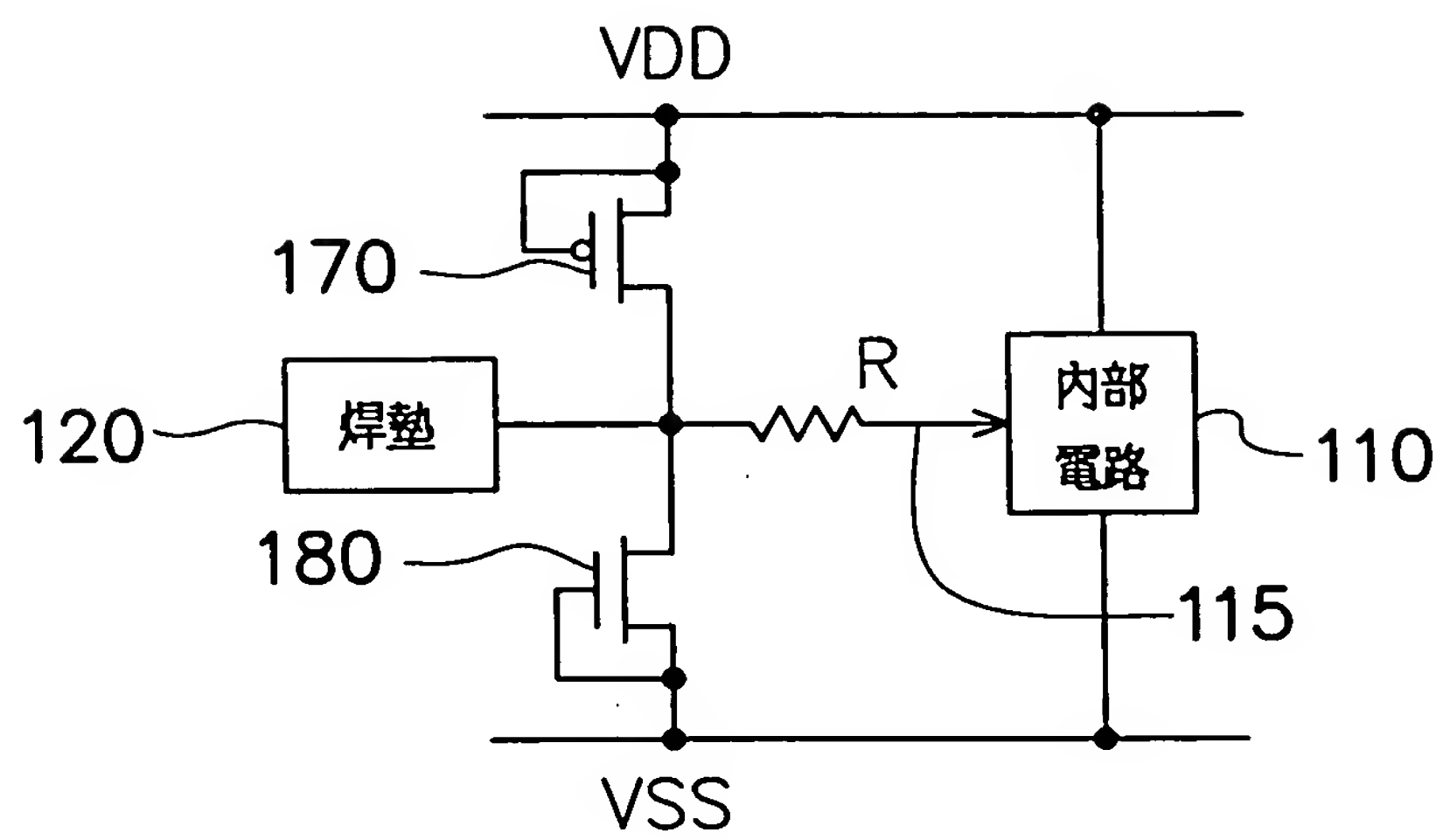




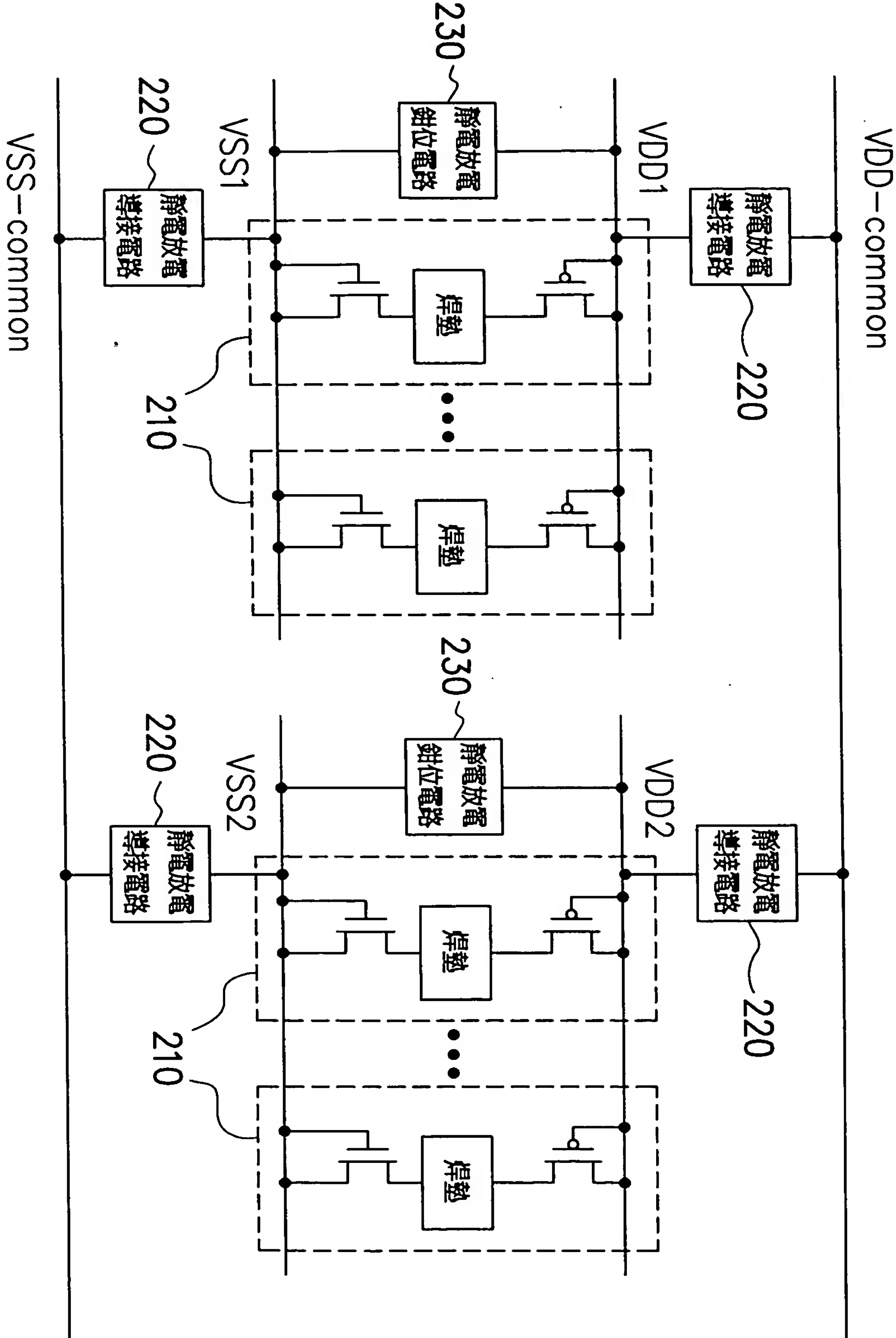
第 1A 圖



第 1B 圖



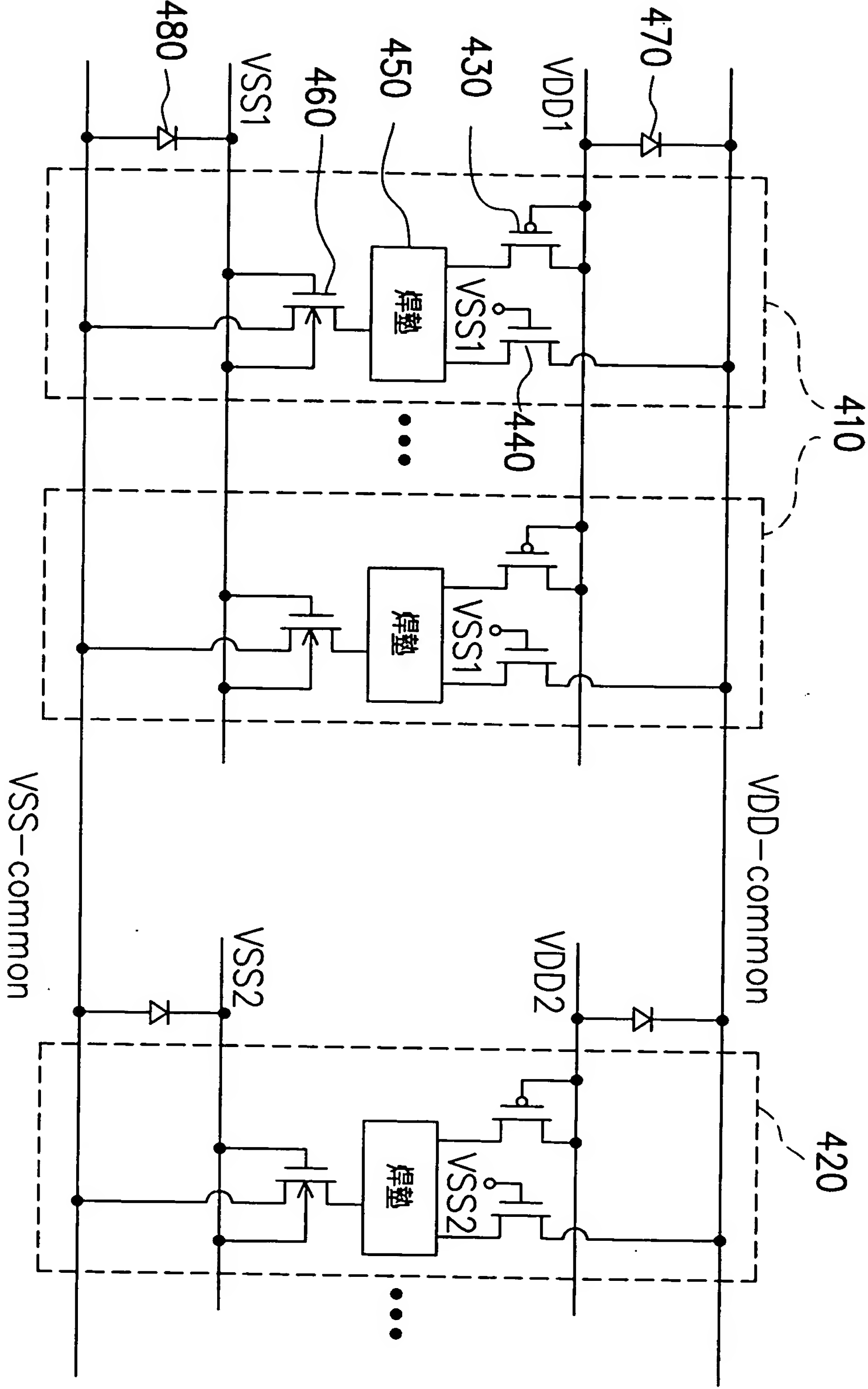
第 1C 圖



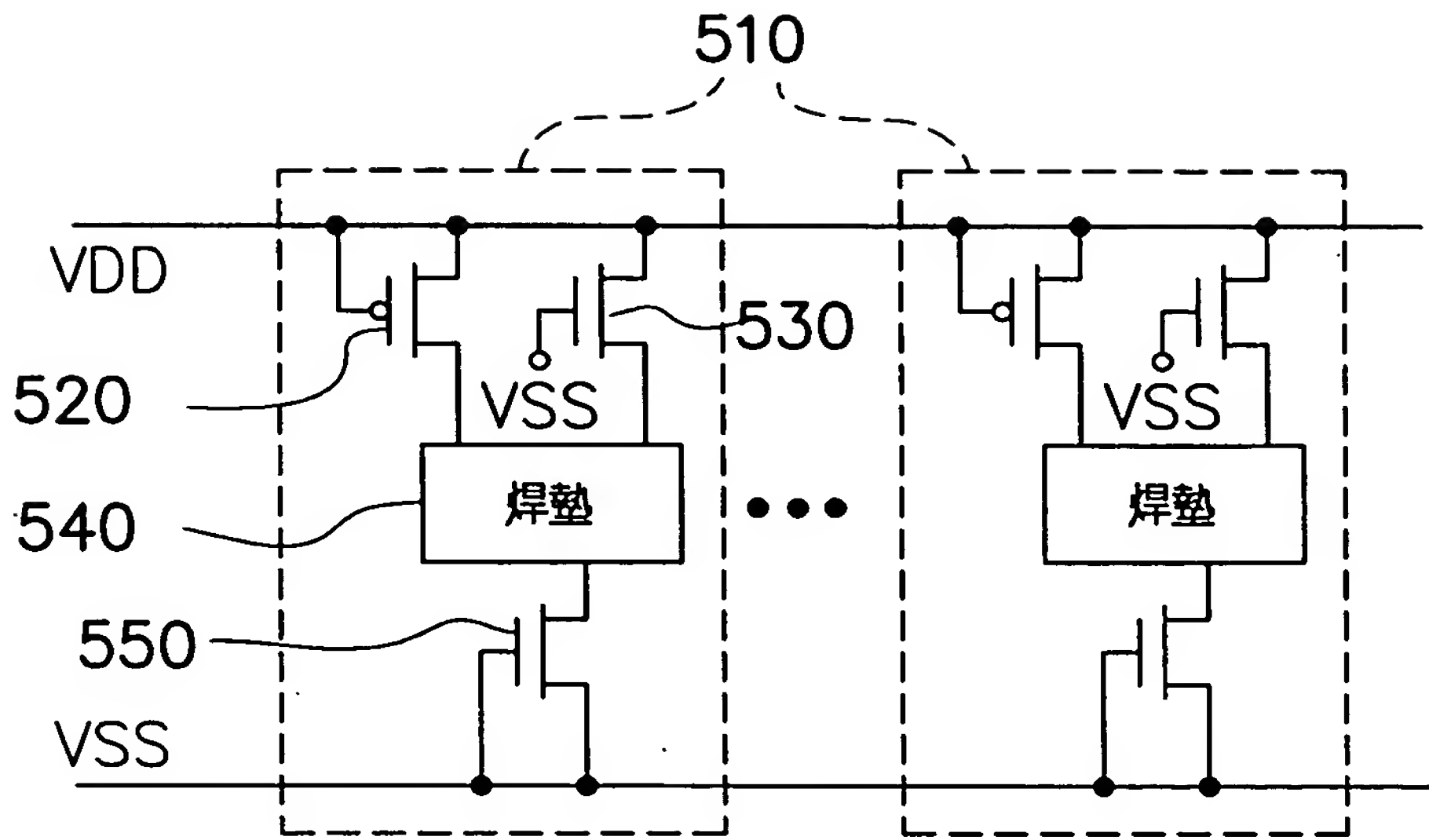
第 2 圖



第三圖



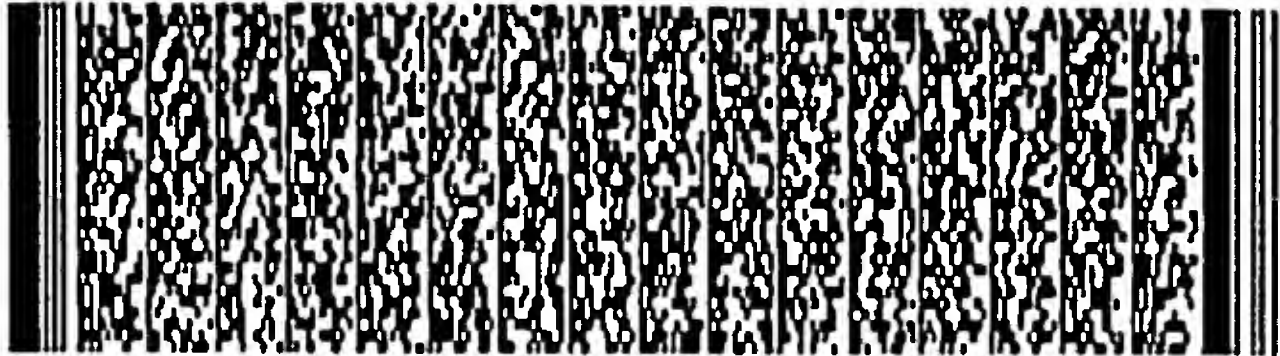
第 4 圖



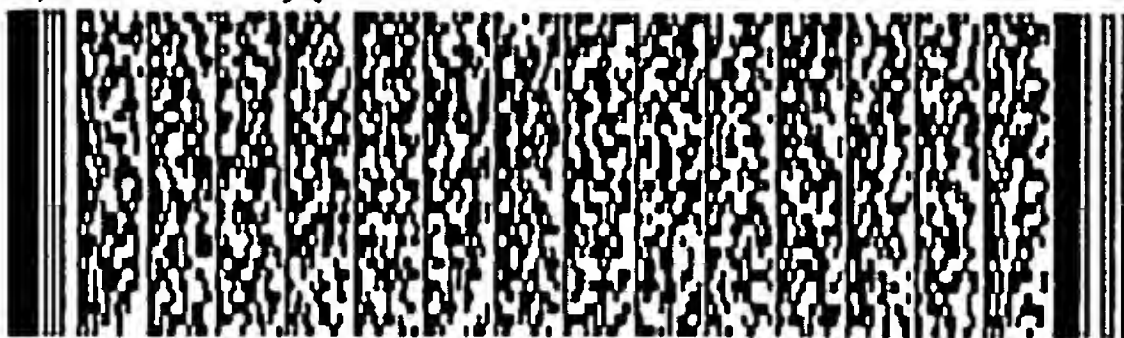
第 5 圖



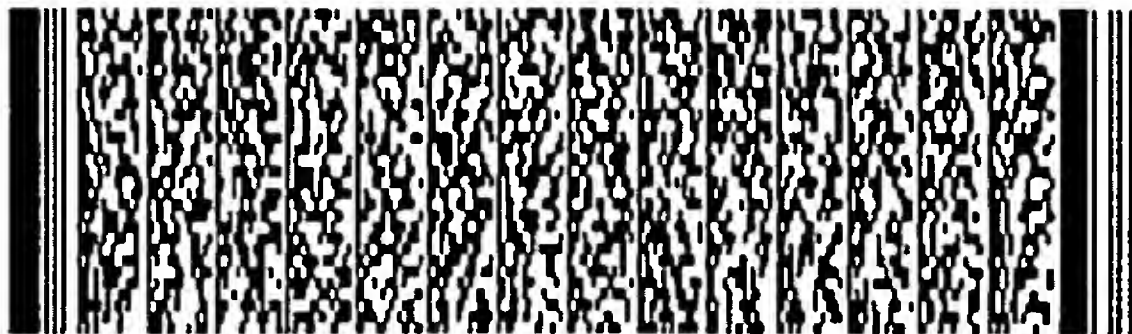
第 1/23 頁



第 2/23 頁



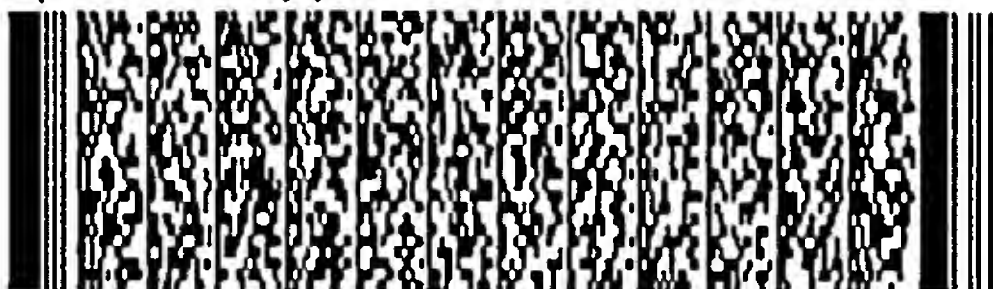
第 2/23 頁



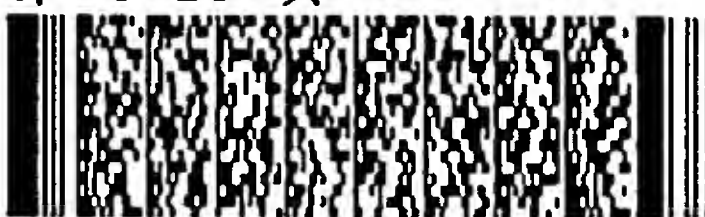
第 3/23 頁



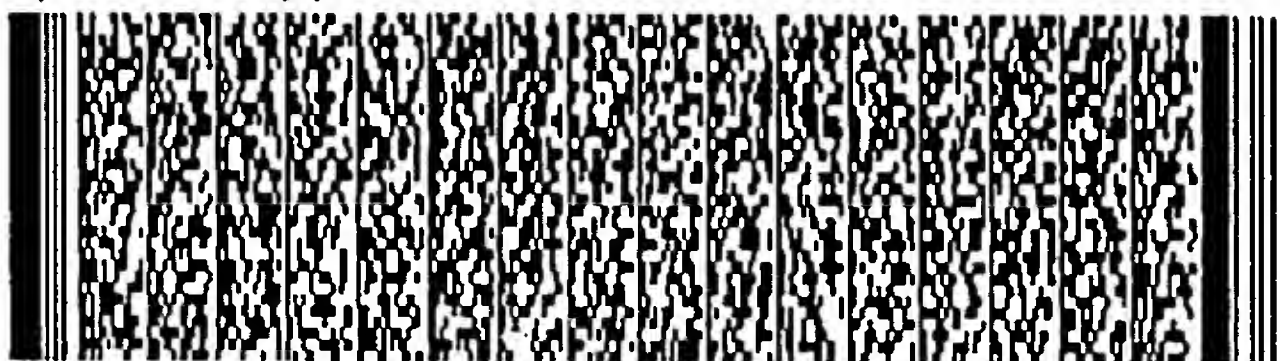
第 4/23 頁



第 5/23 頁



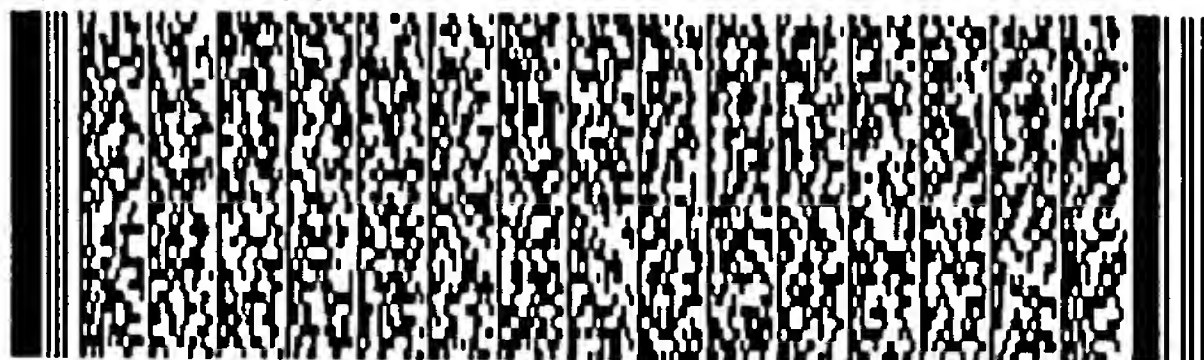
第 6/23 頁



第 6/23 頁



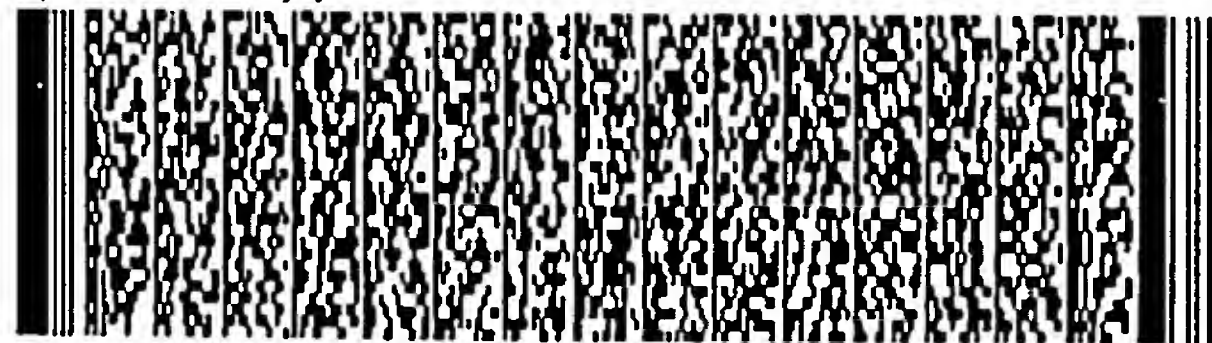
第 7/23 頁



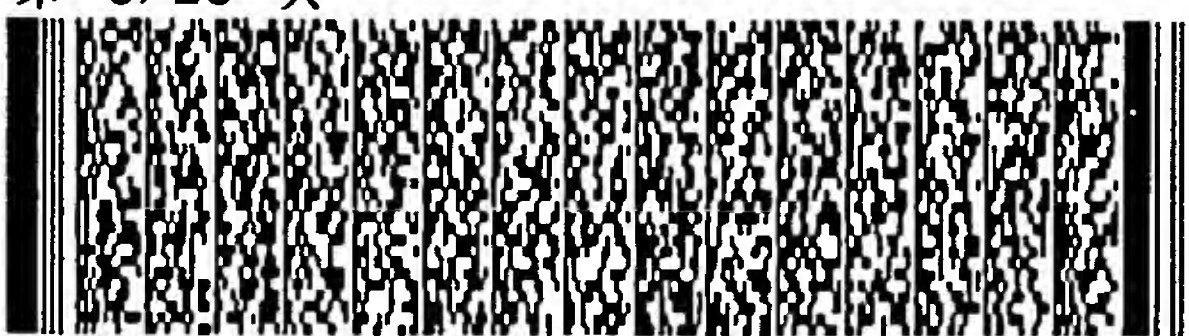
第 7/23 頁



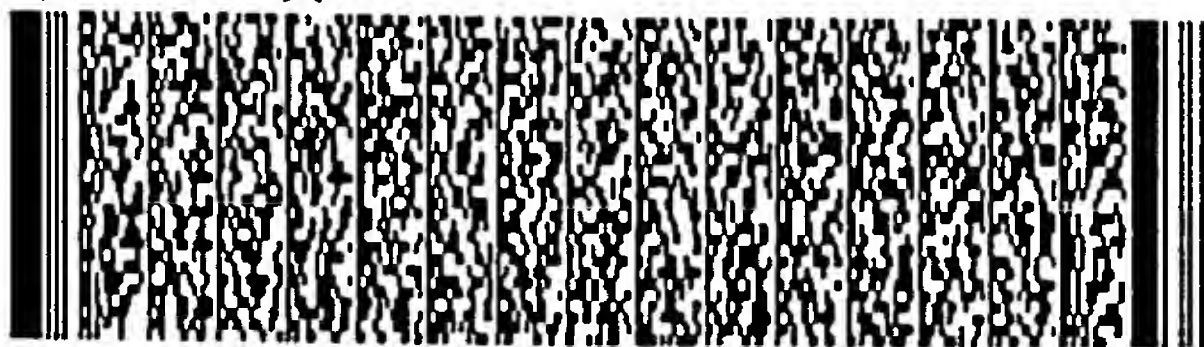
第 8/23 頁



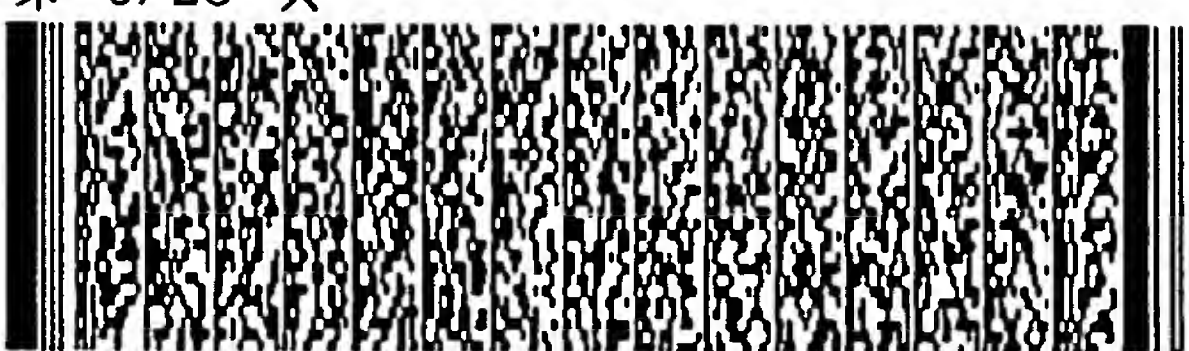
第 8/23 頁



第 9/23 頁



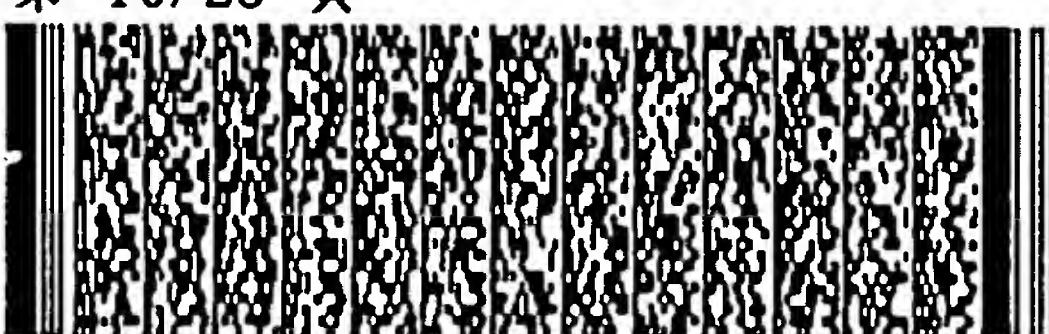
第 9/23 頁



第 10/23 頁

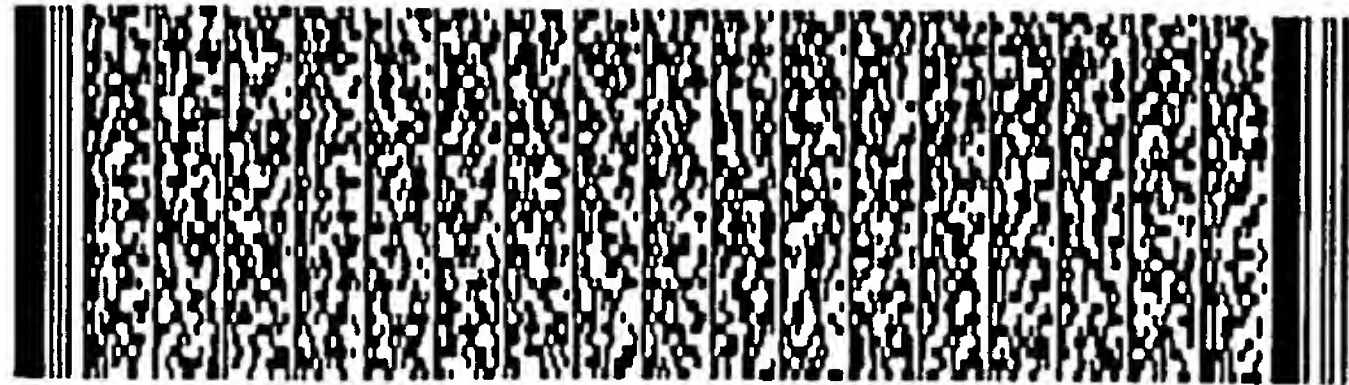


第 10/23 頁

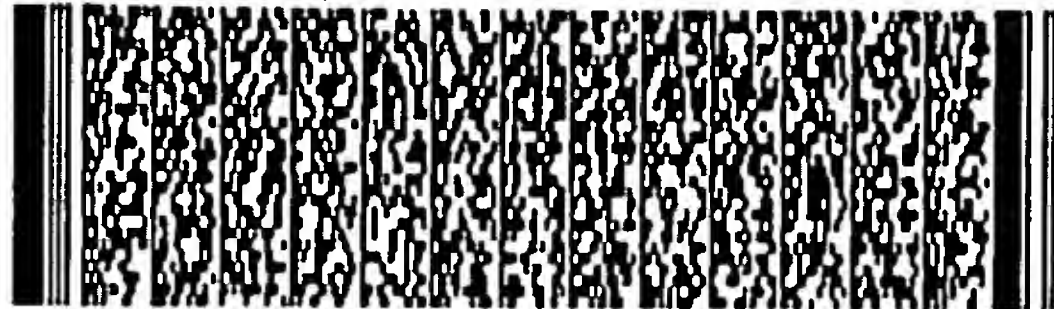




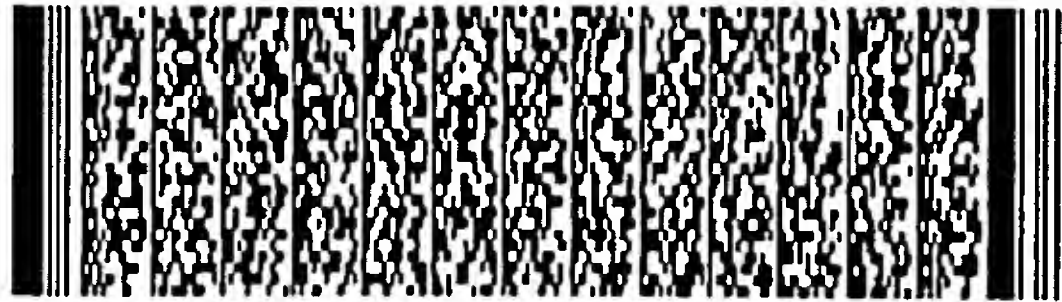
第 11/23 頁



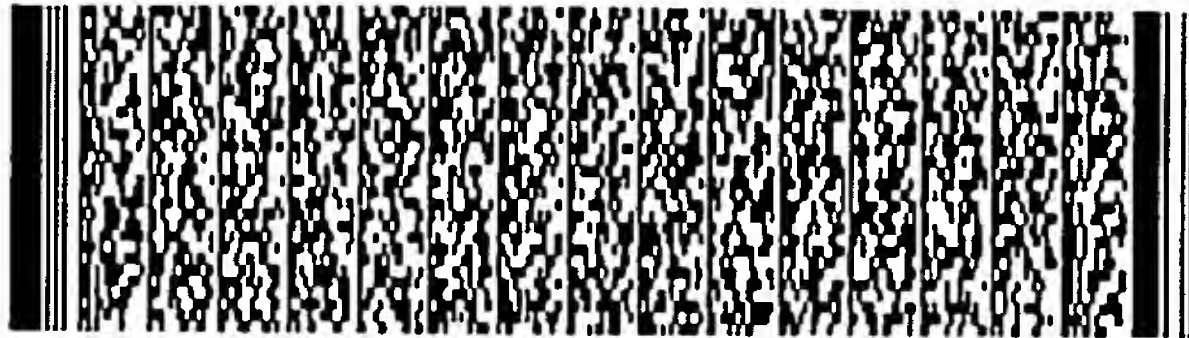
第 12/23 頁



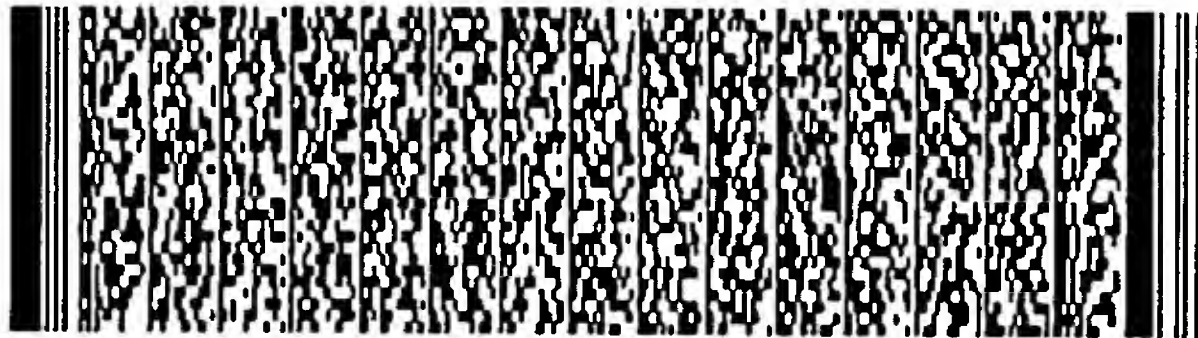
第 12/23 頁



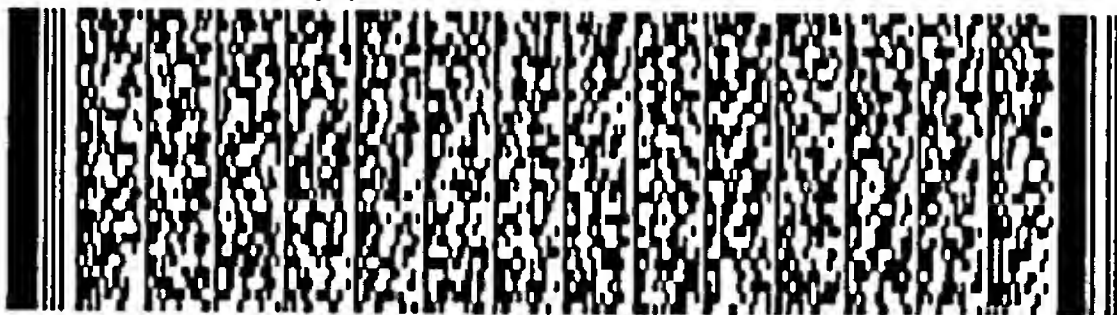
第 13/23 頁



第 13/23 頁



第 14/23 頁



第 14/23 頁



第 15/23 頁



第 15/23 頁



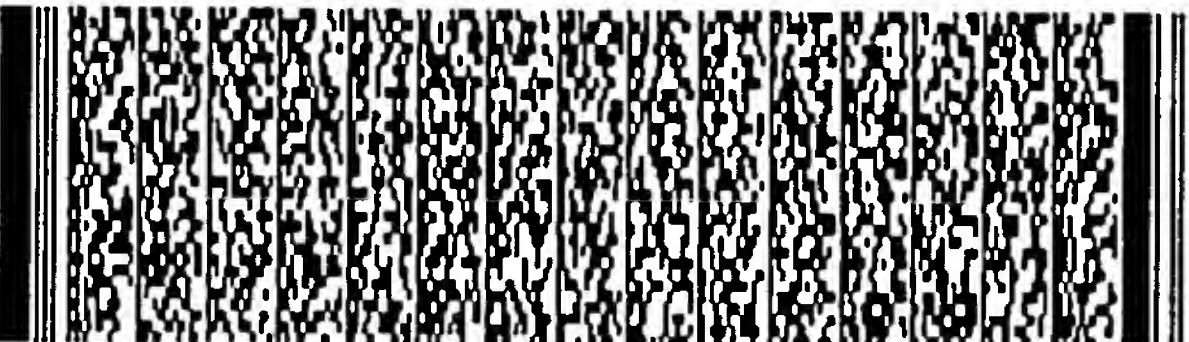
第 16/23 頁



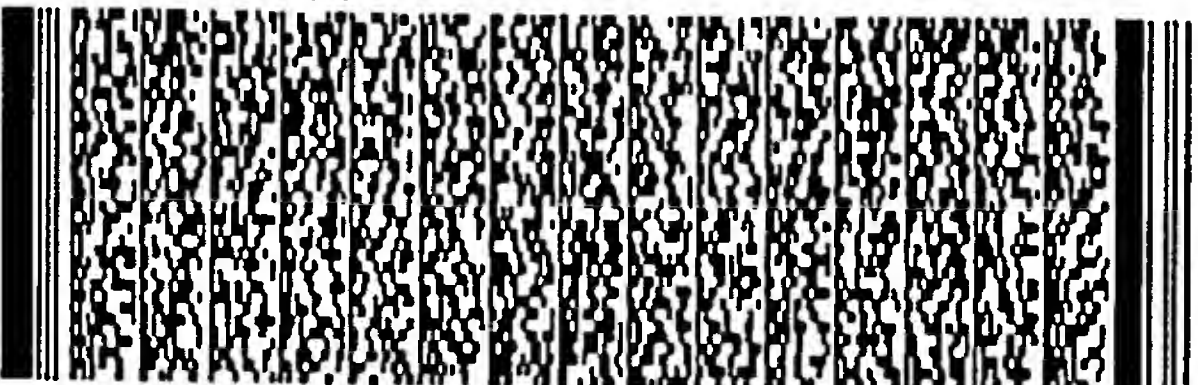
第 16/23 頁



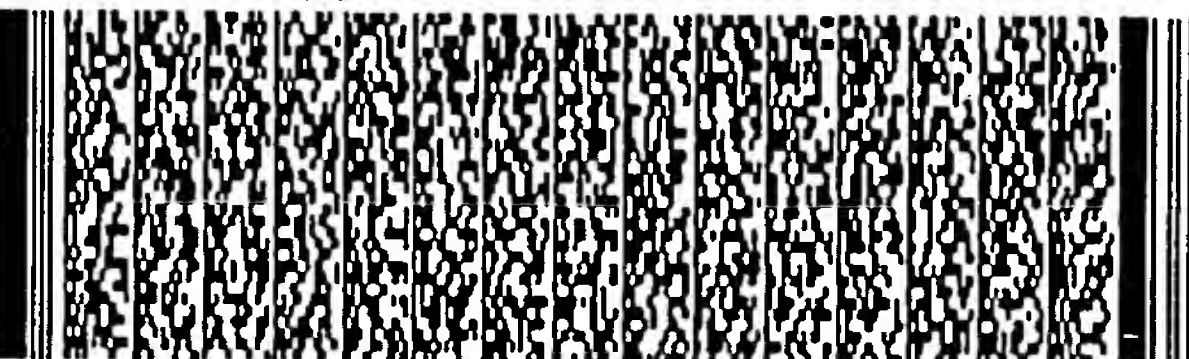
第 17/23 頁



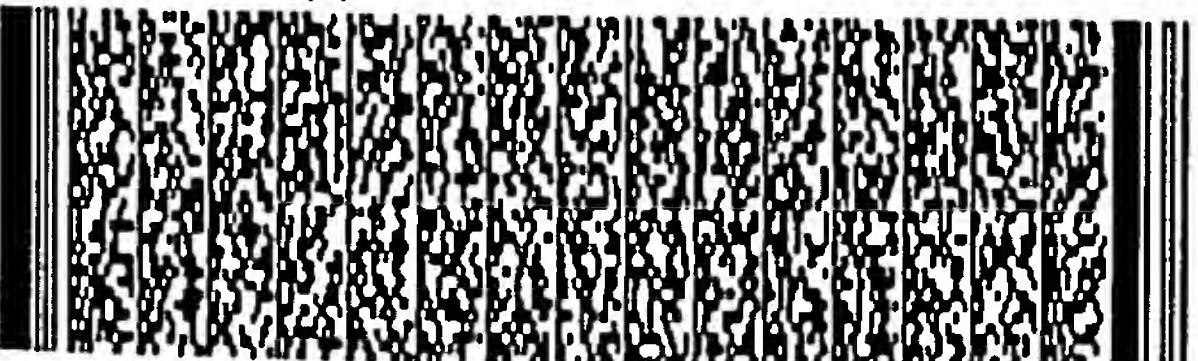
第 18/23 頁



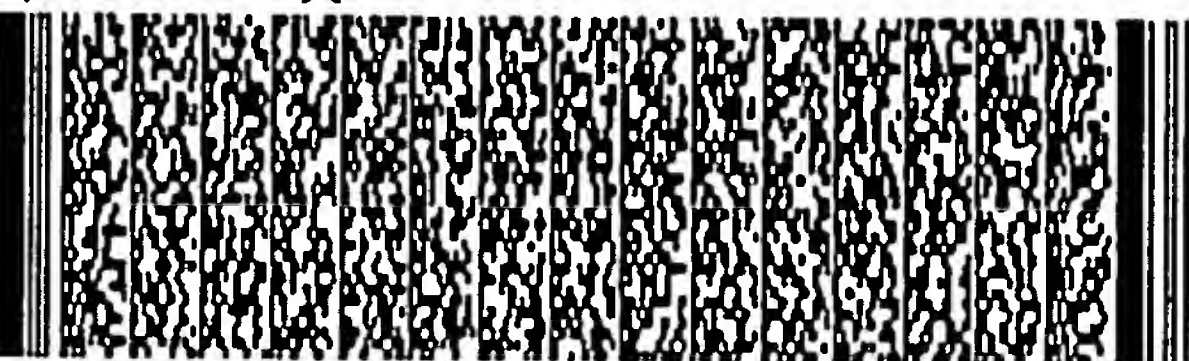
第 19/23 頁



第 20/23 頁

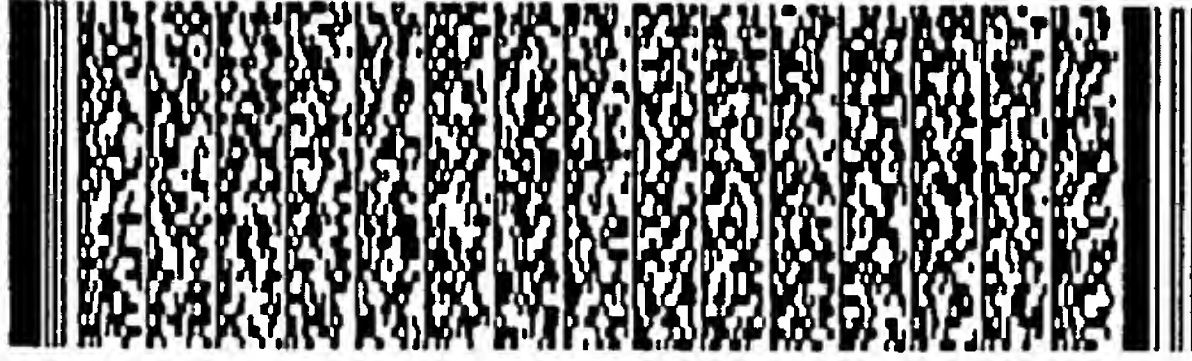


第 21/23 頁





第 22/23 頁



第 23/23 頁

